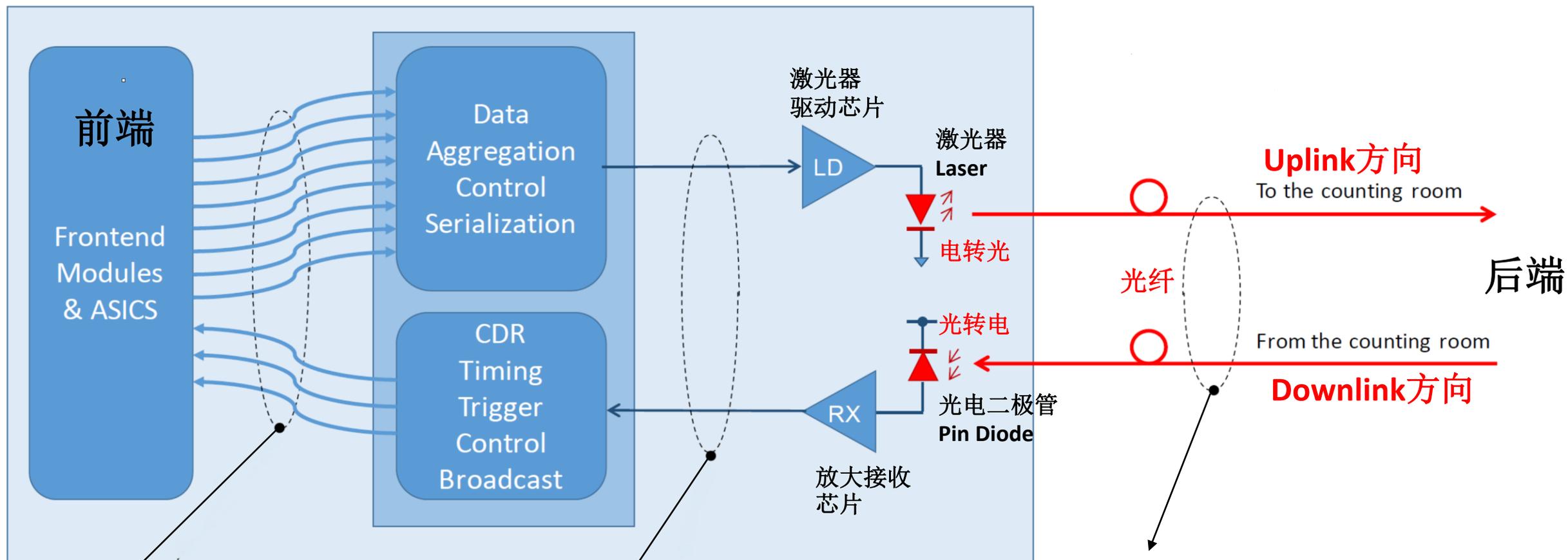

大型高能物理实验(HEP)中的 高速双向光纤收发器的研究和设计

郭迪 华中师范大学物理学院
高速数据传输集成电路设计组
2022年10月28号
diguo@mail.ccnu.edu.cn

-
- 1、HEP中光纤数据传输系统的概念简介
 - 2、实际应用中的HEP高速双向光纤通讯系统示例
 - 3、光模块的研发
 - 4、激光器驱动芯片的设计
 - 5、其他相关研究方向

高能物理实验中的典型光纤数据传输系统架构



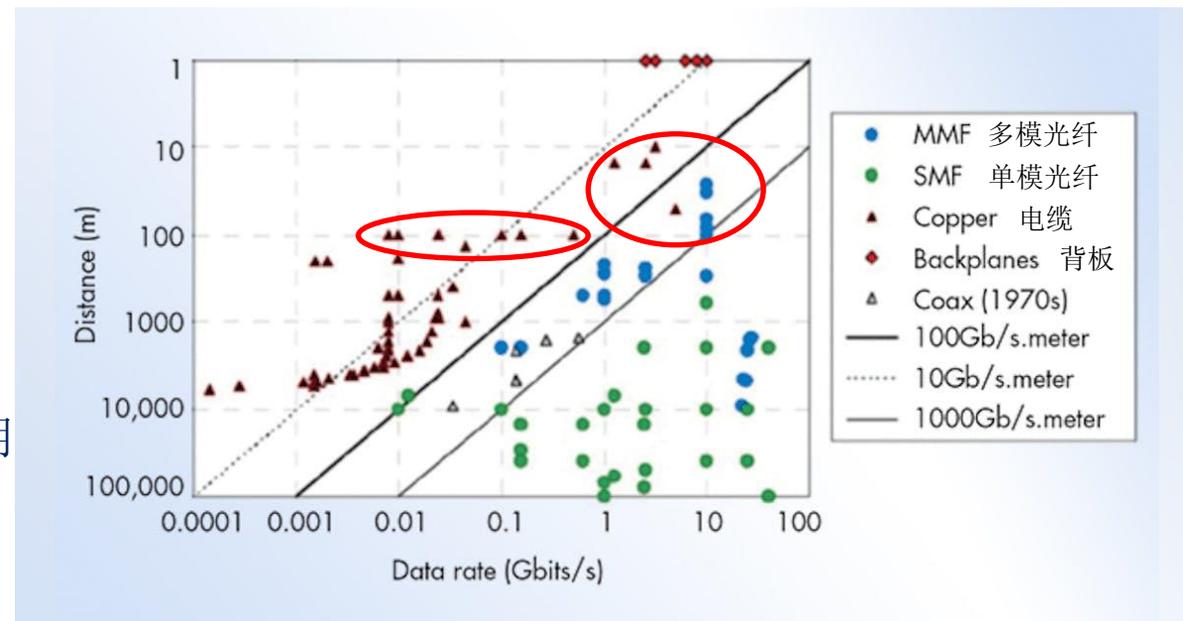
电信号（面向前端电子学）
多通道并行
数据率：80 Mbps/ch ~ 1.28 Gbps/ch
传输载体：电缆 米量级

电信号
高速串行
高数据率：2.56 Gbps ~ 10.24 Gbps
传输载体：PCB走线 厘米量级

光信号
高速串行
高数据率：2.56 Gbps ~ 10.24 Gbps
传输载体：光纤 通常50~200米

为什么在HEP中使用光纤数据传输？

- 传输距离？
 - 商业/电信领域：最高至横跨大陆！
 - 高能物理实验：通常最多百米量级
- 带宽？
 - 商业/电信领域：几乎越大越好！
 - 高能物理实验：
 - 切合实际需要
 - 超高带宽意味着设计复杂程度的上升
 - 越高的速率意味着前端更大的“串行化”压力
 - 目前在CERN LHC Phase II升级后，广泛开始使用最高10.24 Gbps的串行光纤通讯
- 光纤传输对于高能物理应用更重要的：
 - 光纤的小体积、重量与成本优势
 - 更强的抗干扰
 - 不会产生电磁干扰（No EMI）
 - 电气隔离 (No ground loops)

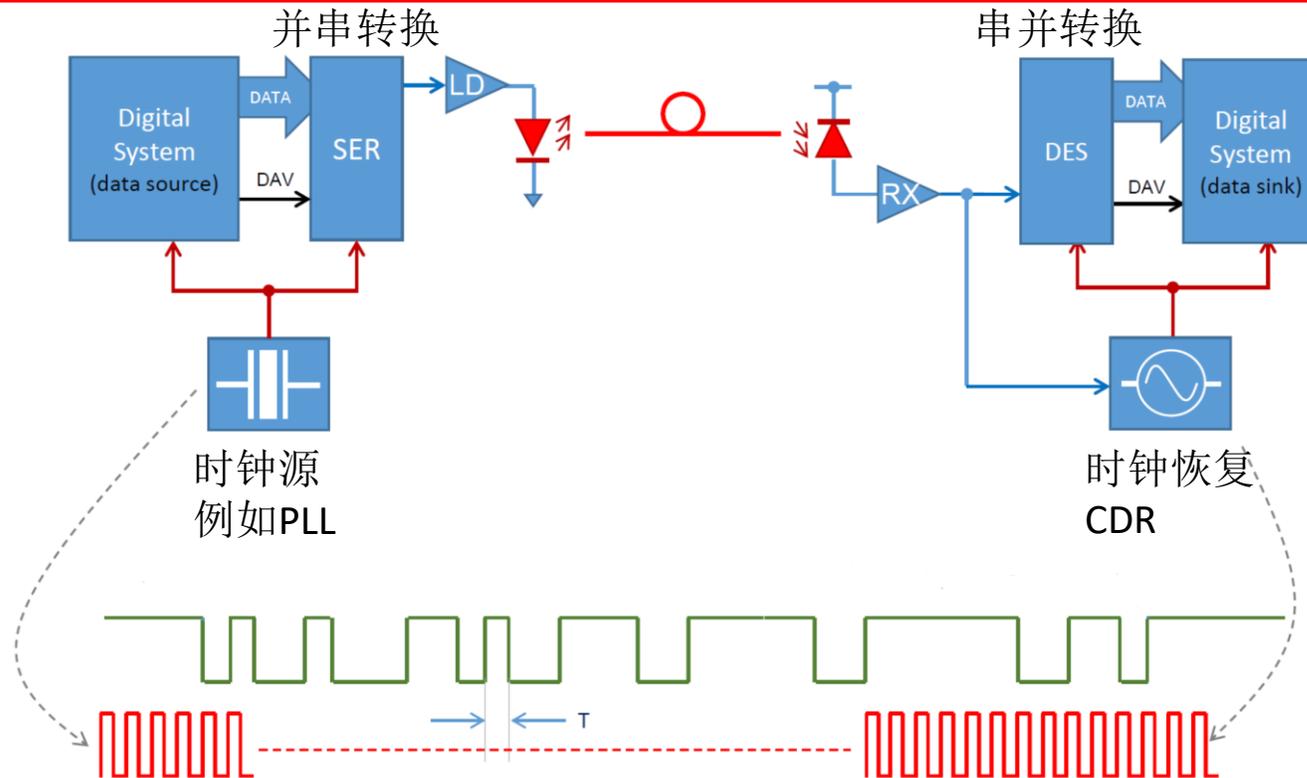


传输距离Vs数据率 @ 不同的传输介质

HEP中使用光纤数据传输的特点

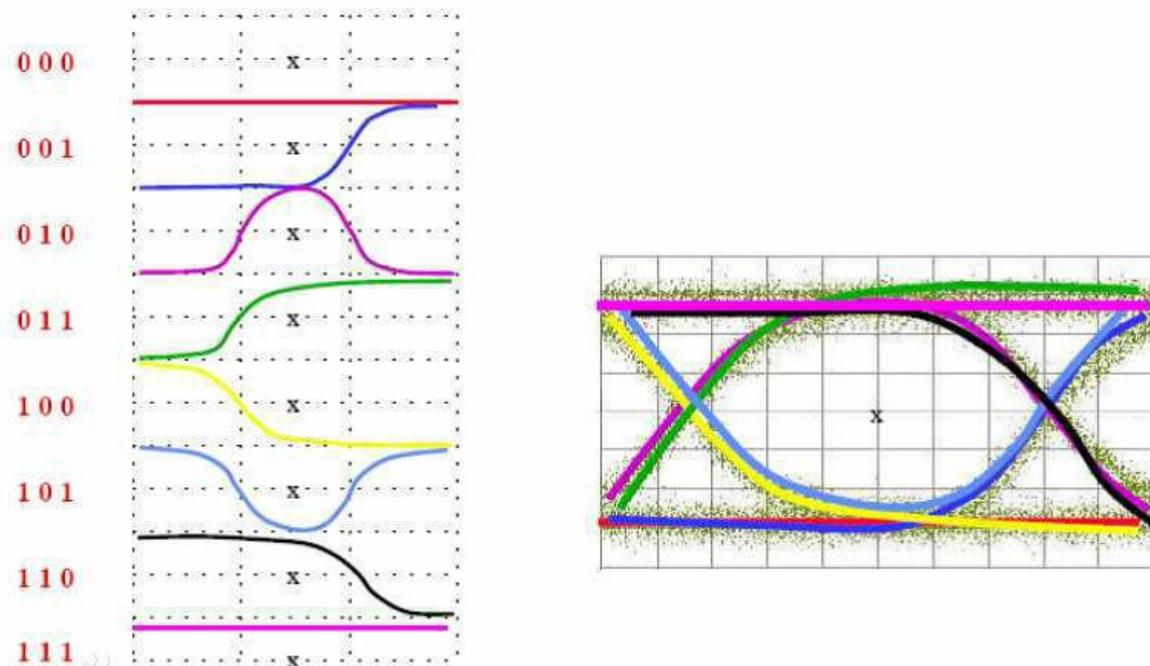
- 与商用/电信领域的光纤数据传输相比：
 - 空间局部化，通常传输距离 $< 200\text{m}$
 - 并非追求超高带宽
 - Uplink前端 \rightarrow 后端的数据率 大于 Downlink后端 \rightarrow 前端的数据率
- 对于光模块的体积、功耗、供电电压的特殊要求：
 - 某些特定的探测器前端系统会限定光模块的体积大小、
 - 前端系统可能限定了可用的供电电压
- 抗辐照挑战：
 - 辐照的Total Ionizing Dose(TID)总剂量效应
 - 光通信相关的芯片、光电器件等必须能够承受探测器生命周期内的辐照总剂量
 - Single Event Upsets(SEU)

光纤数据传输发送、接收示意图



- 完整的光纤数据发送、接收过程：
 - 并串转换 → 放大信号 → 驱动激光器发光 → 光纤传输 → 光电二极管PD恢复成微弱电信号 → 放大 → 时钟恢复 → 采样 → 串并
- 在此过程中，为了保证数据能够被正确地传输（足够低的误码率），如何衡量和量化信道过程中的信号质量？
 - 眼图、噪声、抖动jitter、带宽、灵敏度...

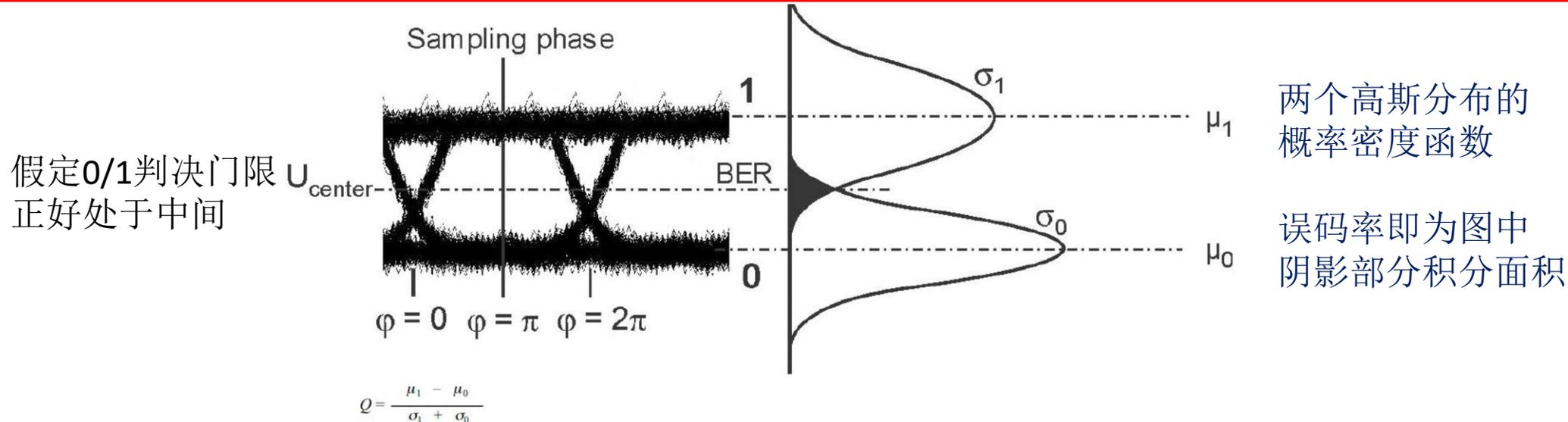
串行通讯中的数据眼图



- 眼图：

- 将连续的数据波形的每一个码元波形重叠在一起，形成眼图。
 - 按绝对精确的周期“重叠”
 - 以时钟恢复CDR时钟作为Trig“重叠”
 - 以外部输入同源时钟作为Trig“重叠”
- 一个完整的眼图包含从“000”到“111”的所有状态组，且每一个状态组发生的次数要尽量一致，否则有些信息将无法呈现在屏幕上，八种状态形成的眼图如下所示
- 眼图是展示串行通讯信道质量的重要手段，包含了系统串扰、噪声、带宽等各类影响的信息。

眼图的垂直方向噪声（Amplitude Noise）



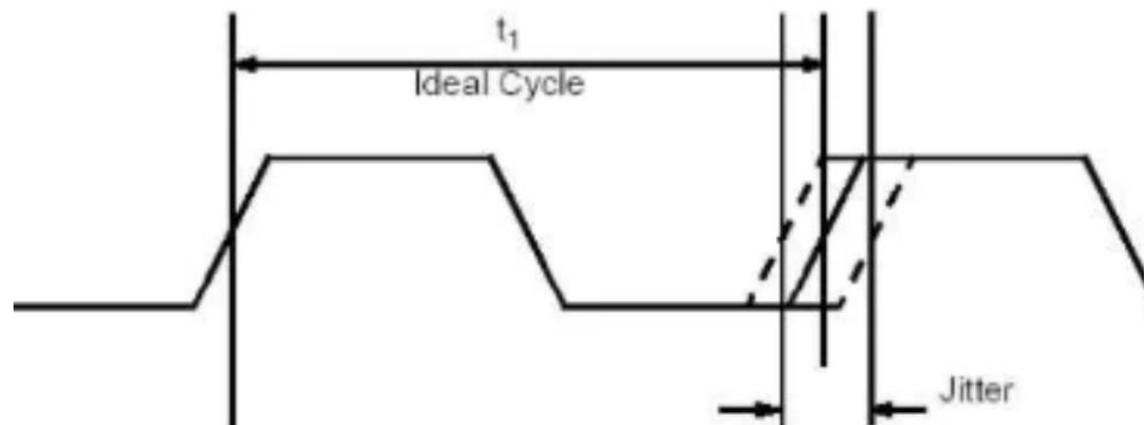
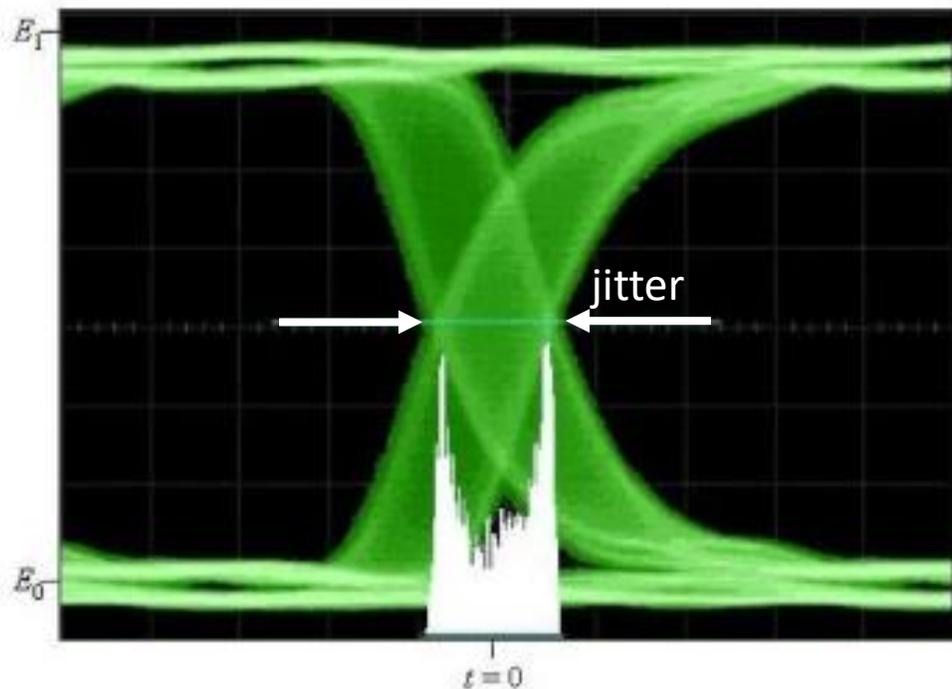
- 从眼图垂直方向的“噪声”来考虑传输的误码率：

$$BER = P(0|1) * P(1) + P(1|0) * P(0) = 1/2 * (P(0|1) + P(1|0))$$

$P(1)$ 是此刻bit为“1”的概率（50%）， $P(0|1)$ 是bit为1时被误认为0的概率
 $P(0)$ 是此刻bit为“0”的概率（50%）， $P(1|0)$ 是bit为0时被误认为1的概率

- 通过积分可计算出 $BER \propto Q = (\mu_1 - \mu_2) / (\sigma_1 + \sigma_0) = \text{幅度/噪声} \propto \text{信噪比}$
 - 这里的Q也被称为Q因子或者Q参数 (Q Factor)
 - 即在系列合理的假定下，误码率BER与眼图的SNR信噪比（垂直方向的幅度、噪声）直接相关

眼图的水平方向“噪声”（Jitter）

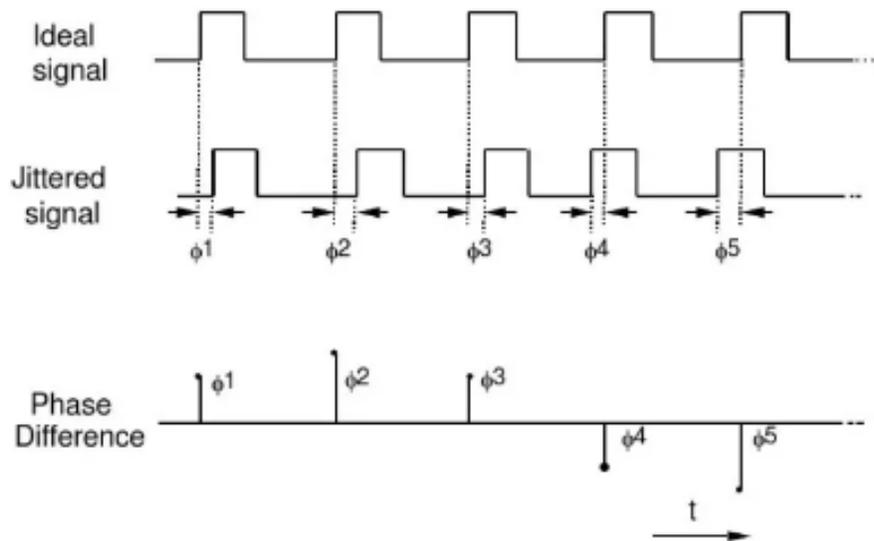


- 示波器显示某个眼图局部

- 通俗的理解：眼图中间水平方向的“宽度”即为抖动jitter

- 抖动jitter的定义（众多种描述之一）
 - 数字信号的有效瞬时对其当前理想位置的偏离
- 一个连续的数字波形以眼图方式显示后，抖动jitter会被“更明显”地展现

抖动Jitter的量化与分析



把每个有效沿相对理想位置的变化记录下来，形成一组离散数据



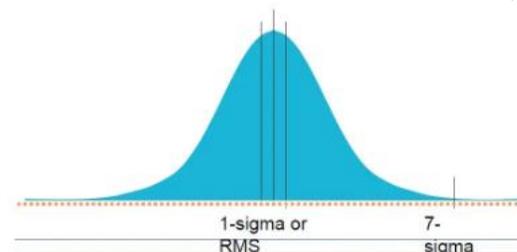
示波器以TIE分析方式展示某数字信号的jitter

通过抖动的分布特性可以将抖动分为:

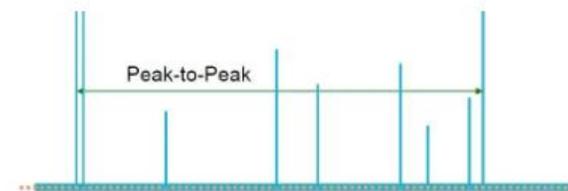
- 随机抖动RJ(Random Jitter)
 - 服从高斯分布，没有边界(unbonded)
 - RJ以RMS值/ σ 值来量化表征
 - 来源于热噪声、散粒噪声等
- 确定性抖动DJ(Deterministic Jitter)
 - 有界 (bonded)
 - DJ以peak-to-peak值来量化表征
 - 主要来源于带宽限制等（随后提及）

什么是TJ (Total Jitter)?

由两种抖动融合在一起

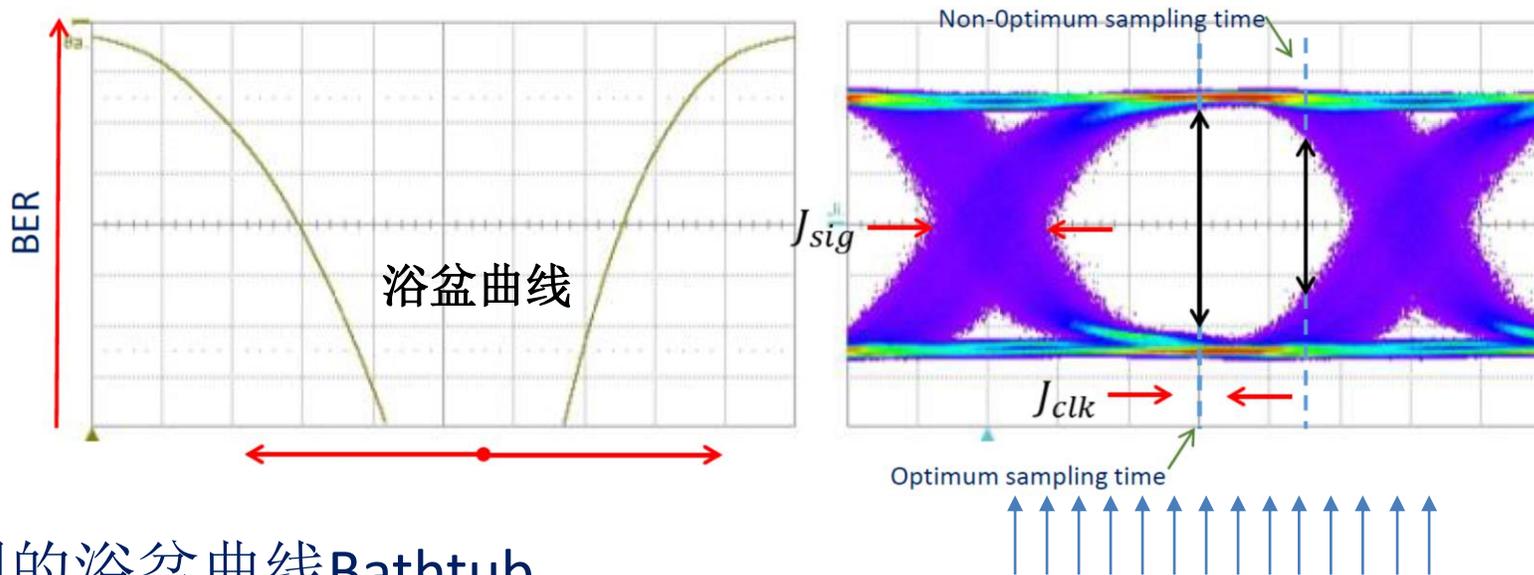


随机抖动RJ的分布



确定性抖动DJ的分布

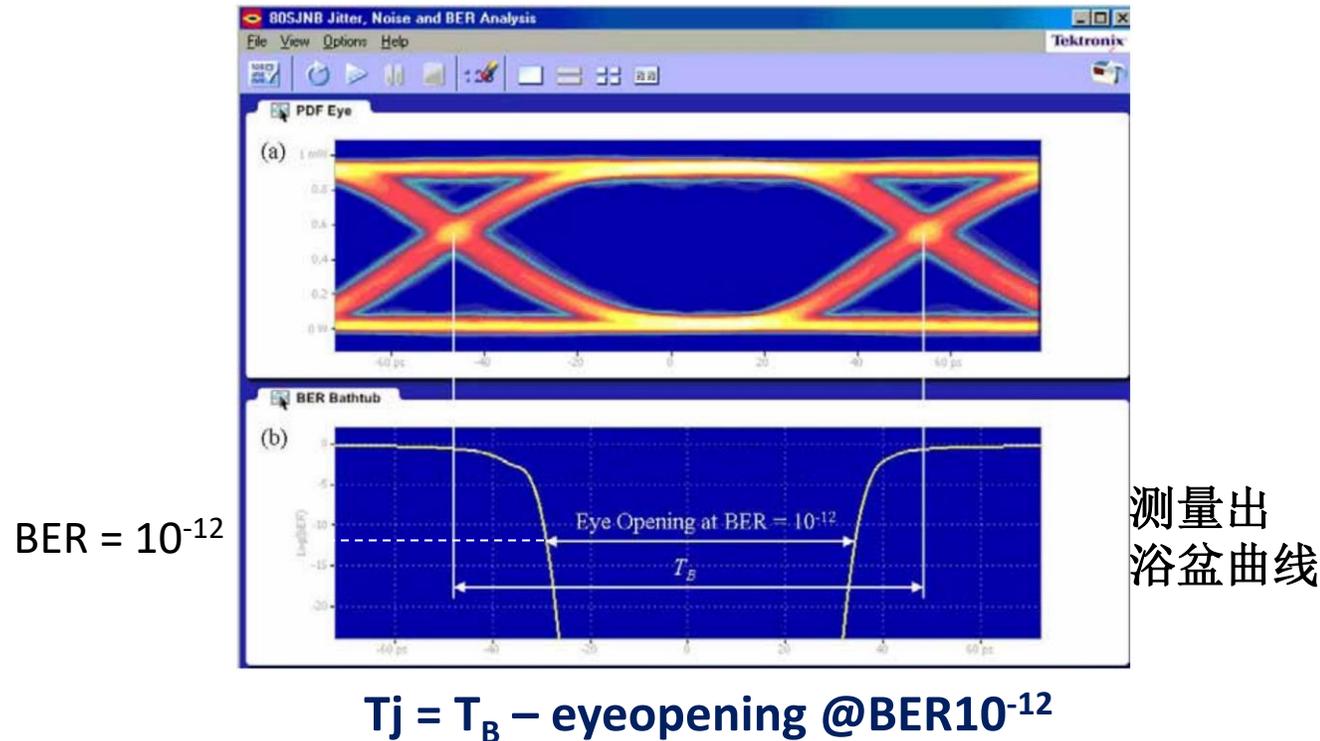
浴盆曲线Bathtub Curve



- 数据眼图的浴盆曲线Bathtub

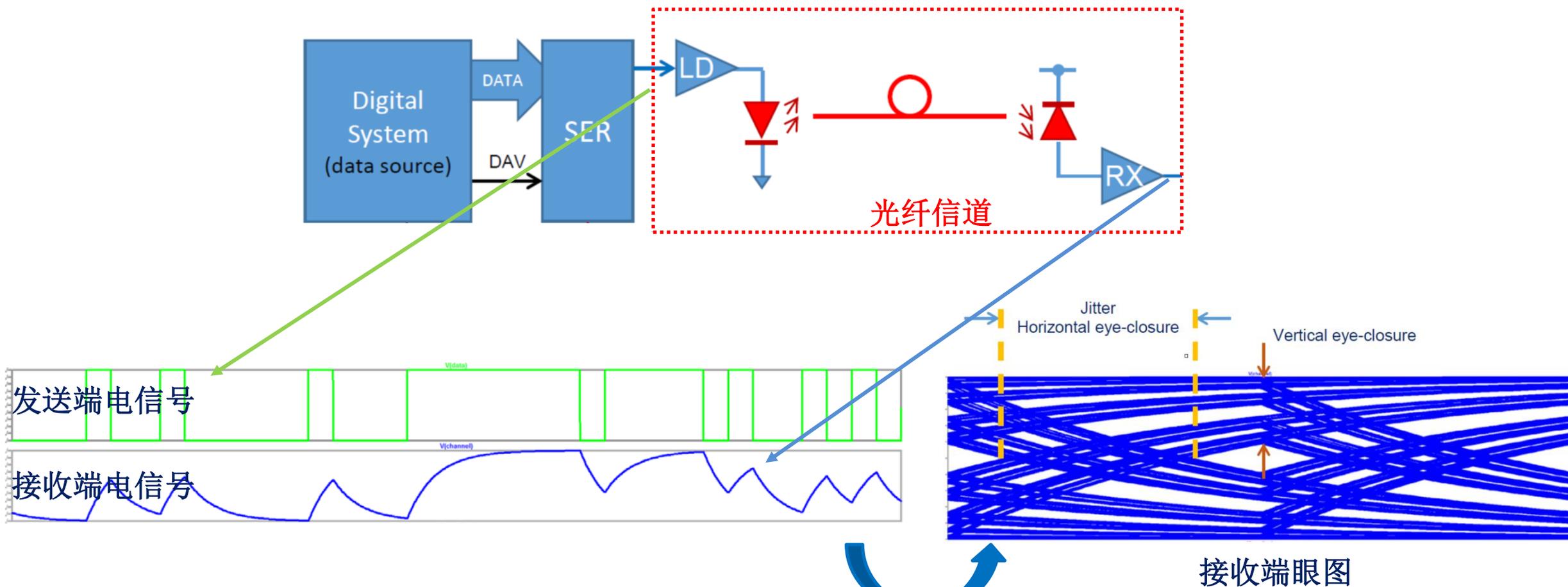
- 以不同相位的时钟去采样数据（位置作为X轴），每次都记录下在该采样位置所获得的误码率（所测得的误码率作为Y轴）
 - 可以想象，在“正中间”的时钟相位，将会得到最好的效果（最低的误码率）
 - 采样的位置越靠近“抖动”区域，误码率越高。
 - 这条曲线的形态将会是两边高，中间低，形如浴盆。
-
- 浴盆曲线既包含了“垂直方向噪声”的影响，也包含了“水平方向jitter”的影响，是一个全面综合性的数据眼图质量量化方式。

什么是Total Jitter?



- 从Jitter的特性来说，RJ是无界的（unbonded）。测试时间越长随机抖动RJ将会无限制地扩大，而RJ与DJ“杂糅”在一起，测量的眼图终将“闭合”！如何界定一个有效的jitter测量？
- 回归到测量的本质：测量数据眼图jitter的最终目的是衡量这个数据信号的波形质量如何，以至于“0”、“1”信息到底能否被正确地接收（误码率）？
 - 引入Total Jitter的概念，将Jitter与特定的误码率联系起来
- 现代的示波器可以通过分析和假定的数学模型，通过对RJ和DJ的处理，计算出Total Jitter

有限带宽的信道与眼图的影响



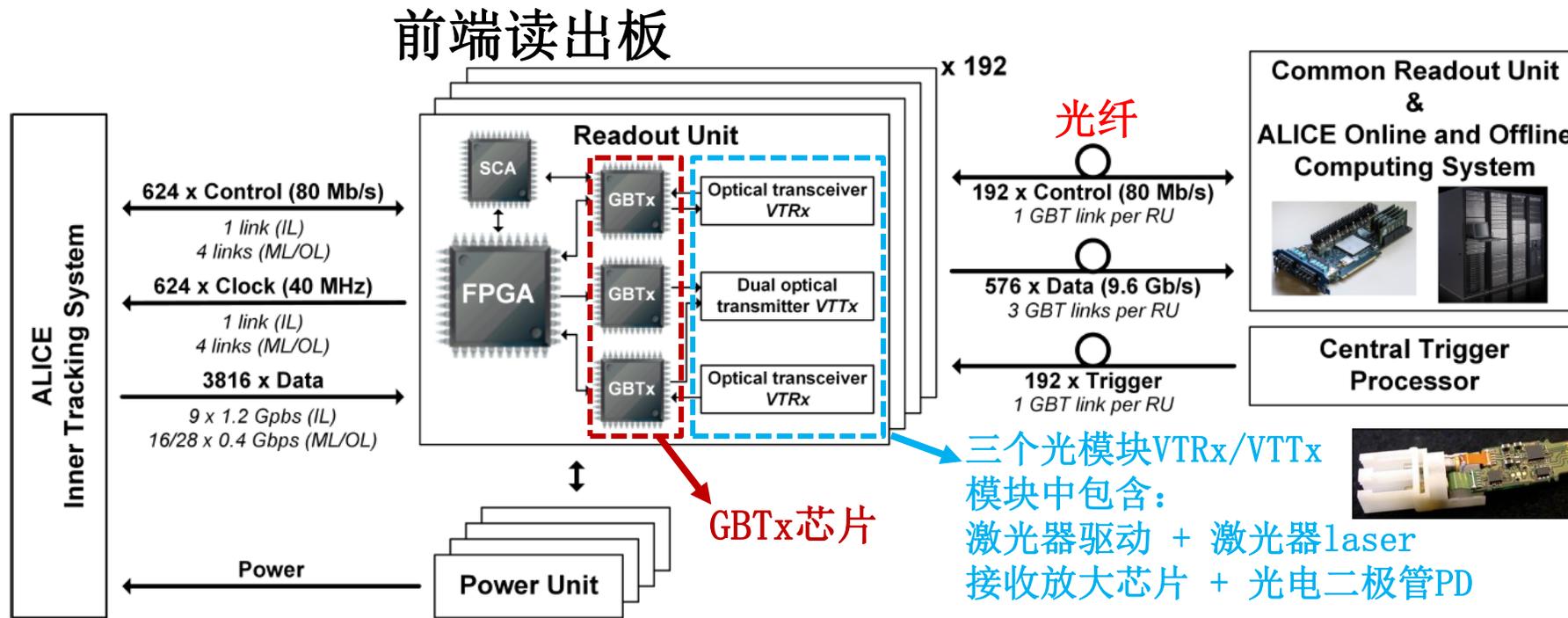
- 假定发送端的原始数据是一个完美的信号（完美的眼图），有限带宽的光纤信道会使得信号的波形质量发生变化（不完美的眼图）。

有限带宽的信道

- 有限的带宽来自于：
 - 激光器驱动芯片、激光器、光电二极管、放大接收芯片的有限带宽
 - PCB走线、光纤传输介质的损耗
 - 光、电接插件的插入损耗
- 有限的带宽会导致：
 - 从时域角度，每个bit位跳变的边沿（上升/下降沿）变慢。
 - 当带宽严重不足，一个bit位（Symbol）的边沿甚至侵入到下一个bit位的时间周期中，即发生了 **Inter Symbol Interference (ISI)码间干扰**
 - ISI码间干扰在眼图上：
 - 既造成了垂直方向的噪声（Amplitude Noise）
 - 又造成了水平方向的抖动jitter（也称为 ISI Jitter）
- ISI码间干扰
 - 带来的抖动ISI jitter属于确定性抖动DJ
 - ISI Jitter是与数据码流相关的（Data-dependent jitter）
 - 芯片设计中常规瞬态仿真（未加噪声）所测量到的仿真眼图jitter，都属于ISI jitter
 - 带宽不够 → ISI码间干扰 → 噪声+jitter。 因此足够的带宽是这个系统各部件设计中的核心因素。

-
- 1、HEP中光纤数据传输系统的概念简介
 - 2、实际应用中的HEP高速双向光纤通讯系统示例
 - 3、光模块的研发
 - 4、激光器驱动芯片的设计
 - 5、其他相关研究方向

实际应用中的HEP高速双向光纤通讯系统示例

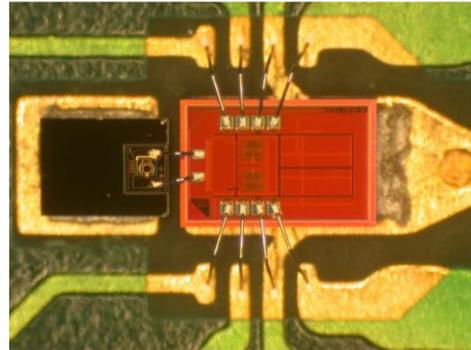
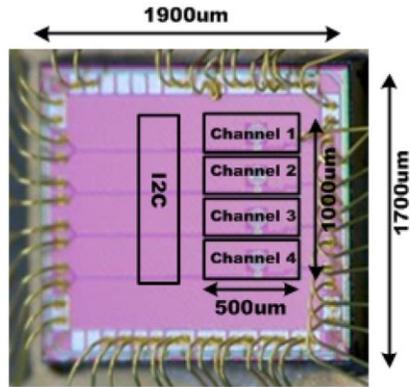


- CERN的ALICE Inner tracking读出电子学框图
- 使用了CERN所主导的Versatile Link和GBT Project所构建的高速双向光纤数据系统：
 - GBTx: 双向Serdes数据接口芯片
 - VTTx光模块 (2Tx)、VTRx光模块 (1Tx + 1Rx)
 - GBLD: 激光器驱动芯片 (LD: Laser Driver)
 - GBTIA: 接收放大芯片 (TIA: Transimpedance Amplifier)

CERN的Versatile Link Project和 GBT Project

- CERN的Versatile Link和GBT Project

- 起始于2007年，目标构建应用于HEP抗辐照、高速、双向光纤数据发送系统
- 具体主要由GBT系列芯片组和光模块组成：
 - GBTx、GBLD、GBTIA、GBT-SCA
 - VTTx光模块、VTRx光模块
- 第一代GBT系列ASIC基于130 nm工艺（2011年），第二代部分GBT系列芯片升级至65 nm CMOS工艺（2019年），最高串行数据率由4.8 Gbps升高至10.24 Gbps.
- 第二代光模块由VTTx/VTRx升级至阵列式光模块VTRx+（2019年原型模块研发）



第二代GBTx芯片 (IpGBTx)

第二代GBLD芯片 (LDQ10)

GBTIA芯片

- 65nm CMOS
- Downlink: 2.56 Gbps
- Uplink: 最高10.24 Gbps
- 0.5mm pitch BGA封装, 289 Pins

- 65nm CMOS
- 4 x 10 Gbps 四通道阵列式 VCSEL激光器驱动

- 130 nm CMOS
- 5 Gbps 单通道接收放大芯片

阵列式 VTRx+光模块

-
- 1、HEP中光纤数据传输系统的概念简介
 - 2、实际应用中的HEP高速双向光纤通讯系统示例
 - 3、光模块的研发
 - 4、激光器驱动芯片的设计
 - 5、其他相关研究方向

光模块的分类

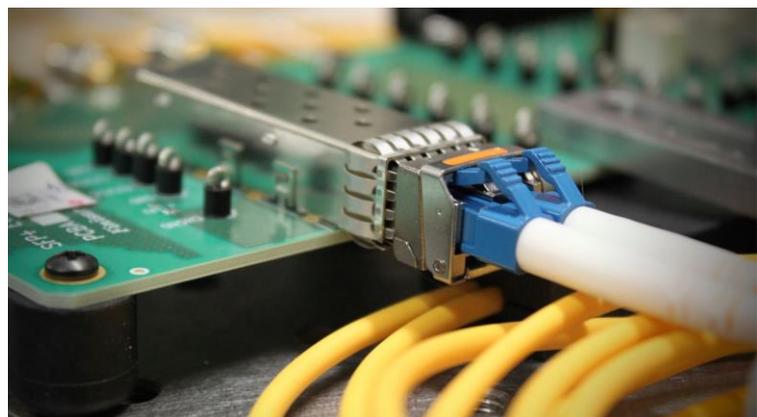
- 光模块在业界领域有着极其成熟的发展。
- 按照传输距离分：
 - 短距SR(Short Range)、长距LR(Long Reach)
- 按照所传输的光的工作波长分：
 - 普通光模块850 nm(多用于短距), 1310 nm, 1550 nm
 - 波分复用: CWDM 波长1270~1610nm, DWDM波长1570~1610nm
- 根据适用的光纤类型分：
 - 多模光纤 (多用于短距)、单模光纤 (多用于长距)
 - 单模/多模为光在光纤中的传输方式。单模方式的损耗与色散要
- 按封装形式 (外形) 分：
 - 最为常见的有: SFP、QSFP、CF2、XFP、X2...
- 按传输速率分：
 - 1G光模块 (千兆光模块)、10G光模块 (万兆光模块)、25G、40G、100G、400G...
 - 工业领域光模块的带宽飞速发展, 400G光模块近年来已经量产, 800G光模块的技术白皮书已发布。



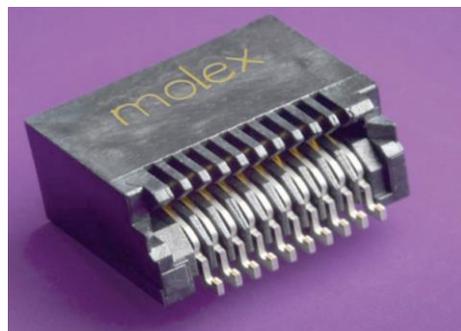
最常见的光模块 – SFP光模块

- SFP光模块：Small Form Pluggable (小型可插拔)光模块

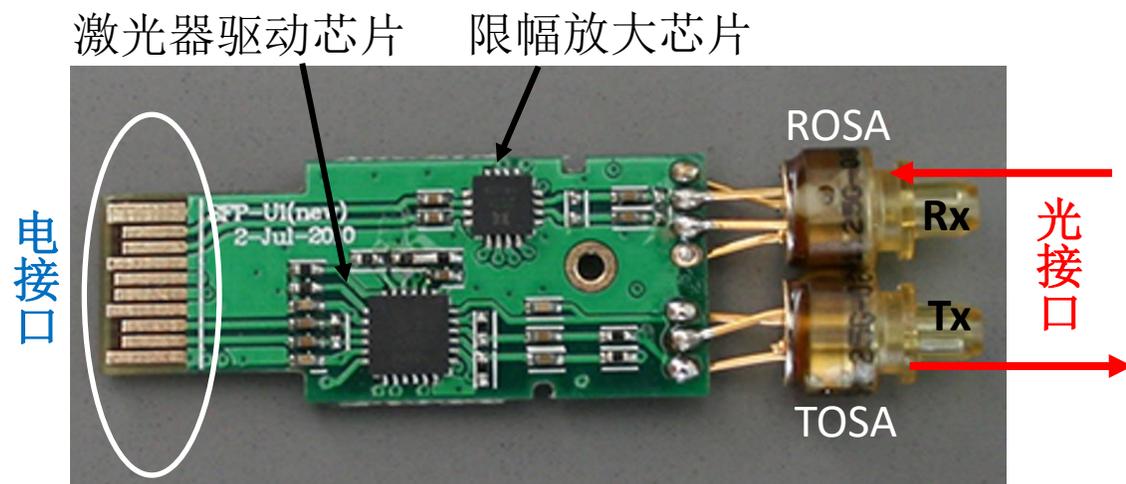
- 通常为：1Tx + 1Rx
- 光口为两根LC接口光纤
- 电接口为“金手指”型设计，插入标准SFP插座
- 2对差分信号(1Tx, 1Rx)通过插座引入SFP光模块



插入光纤的SFP模块



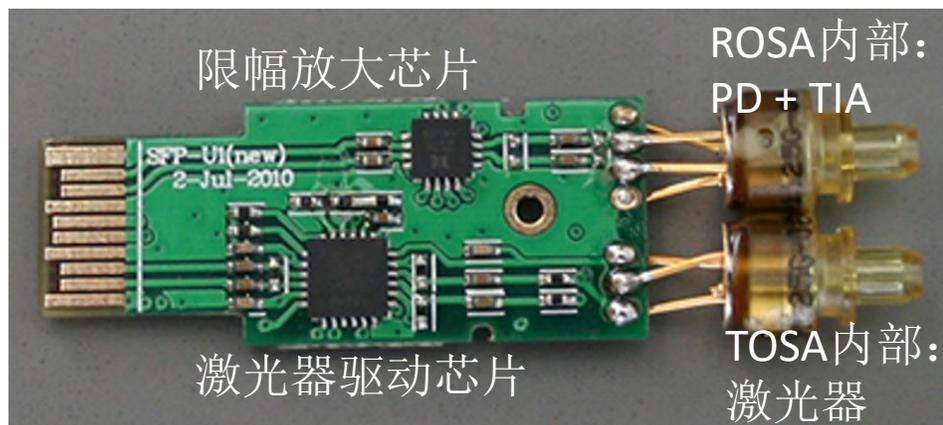
SFP光模块的插座



一个典型的SFP光模块的内部结构

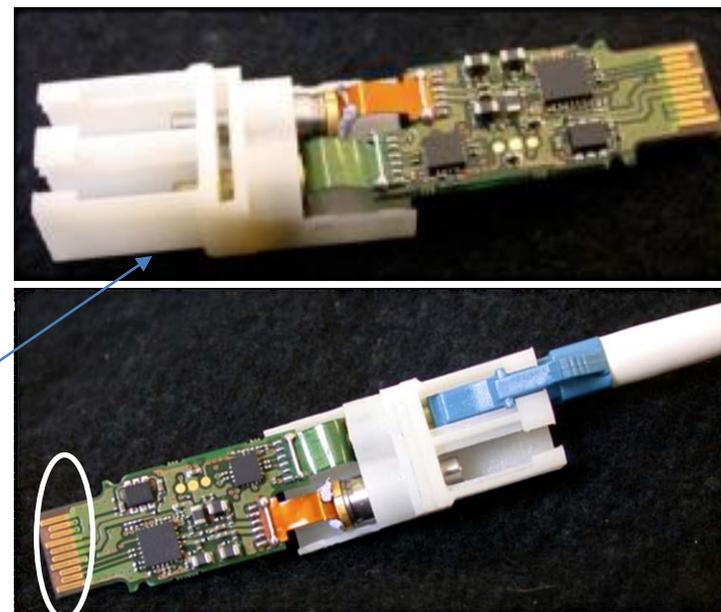
SFP光模块中的TOSA与ROSA

- SFP光模块内部使用了两个重要子部件：
 - TOSA: 光发送次模块
 - 其内部包含了一个激光器芯片
 - ROSA: 光接收次模块
 - 其内部包含了一个光电二极管PD + TIA跨导放大芯片
 - PD输出微弱的电流信号，需要“就近”使用TIA跨导放大芯片转换成一定幅度(几十mV量级)的电压信号，再通过管脚/柔性板传递到PCB板上，随后再使用限幅放大芯片进一步放大。
- 为什么要使用TOSA/ROSA而不直接放在PCB板上？
 - TOSA/ROSA是成熟的子模块部件，可直接购买
 - 其自带的“外形接口”与LC型的光纤接口相匹配，省去光路对齐和机械设计。



SFP类型的定制化光模块

- CERN的第一代光模块VTRx/VTTx采用了和SFP类型光模块几乎完全一致的结构设计。
 - 直接使用TOSA/ROSA子模块，大大简化了研发过程。
 - VTTx模块包含2Tx，内部使用2个TOSA子模块即可
 - 使用自研的GBLD（激光器驱动）、GBTIA（跨导放大）等芯片
 - 保留了“金手指型”的电接口设计
 - 设计了LC光接口部分的外围机械（白色塑料部分），使其拥有更小的外型与高度。
- 另一个应用于高能物理实验的SFP类型定制化光模块MTx (应用于ATLAS LAr readout)
 - 类似的设计思路：使用自研芯片 + 自研外围机械
 - 对比VTRx模块与MTx模块的电接口差异



CERN VTRx光模块实物图



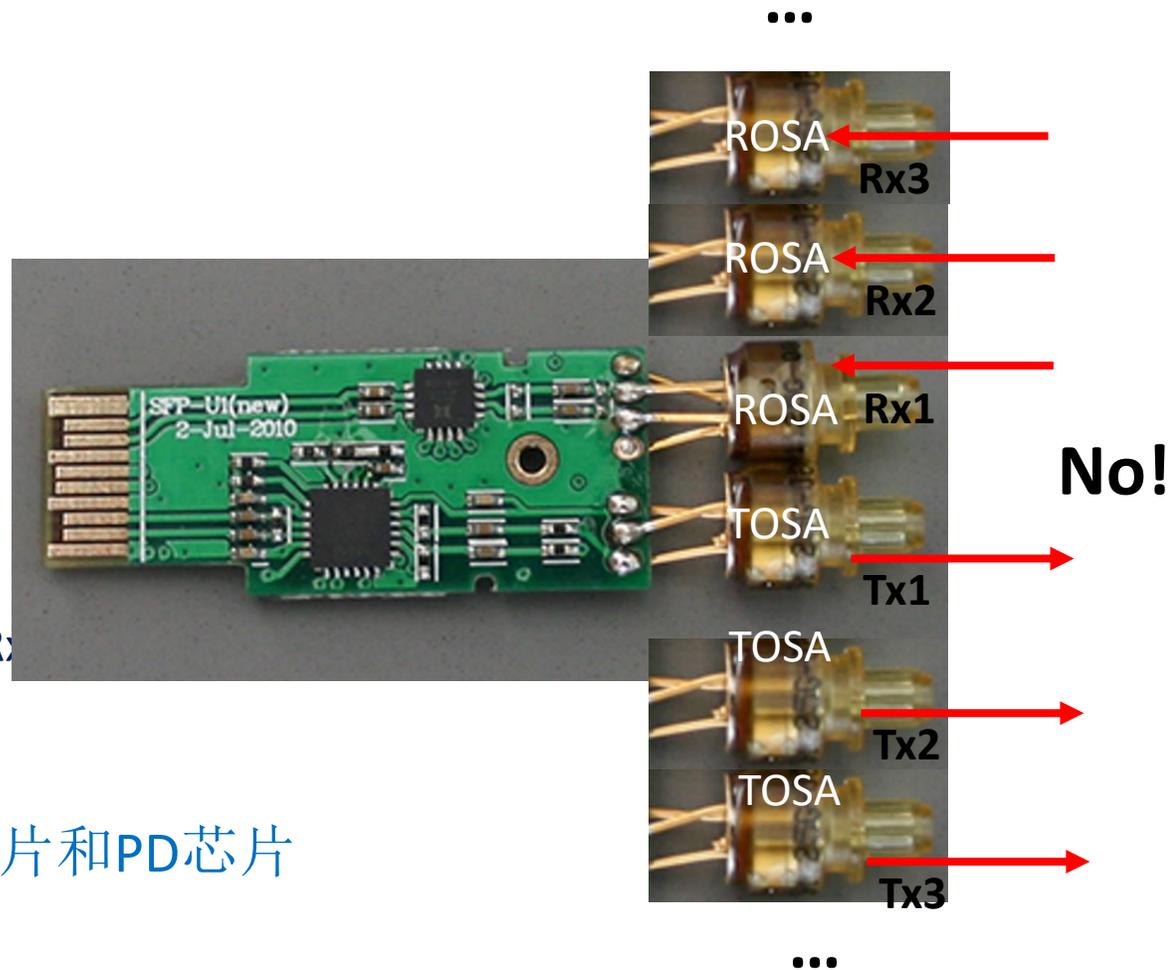
另一个定制化SFP类型的光模块（MTx）实物图

阵列式光模块

- 什么是阵列式光模块？
 - 一个光模块中拥有多个互相独立的Tx、Rx通道
 - 如何实现？
 - 使用多个TOSA和ROSA？
 - TOSA/ROSA带来了使用上的便利，但是在多通道实现上失去了集成度的优势。

- 商用的QSFP模块即为阵列式光模块
 - QSFP光模块：Quad-SFP
 - 包含4Tx + 4Rx
 - 光口：8条独立光路
 - 电口：对应4对差分输入(Tx)，4对差分输出(Rx)

- 如何实现高密度的阵列式光模块？
 - 从“源头”开始，使用阵列式的激光器芯片和PD芯片



激光器芯片(Laser)

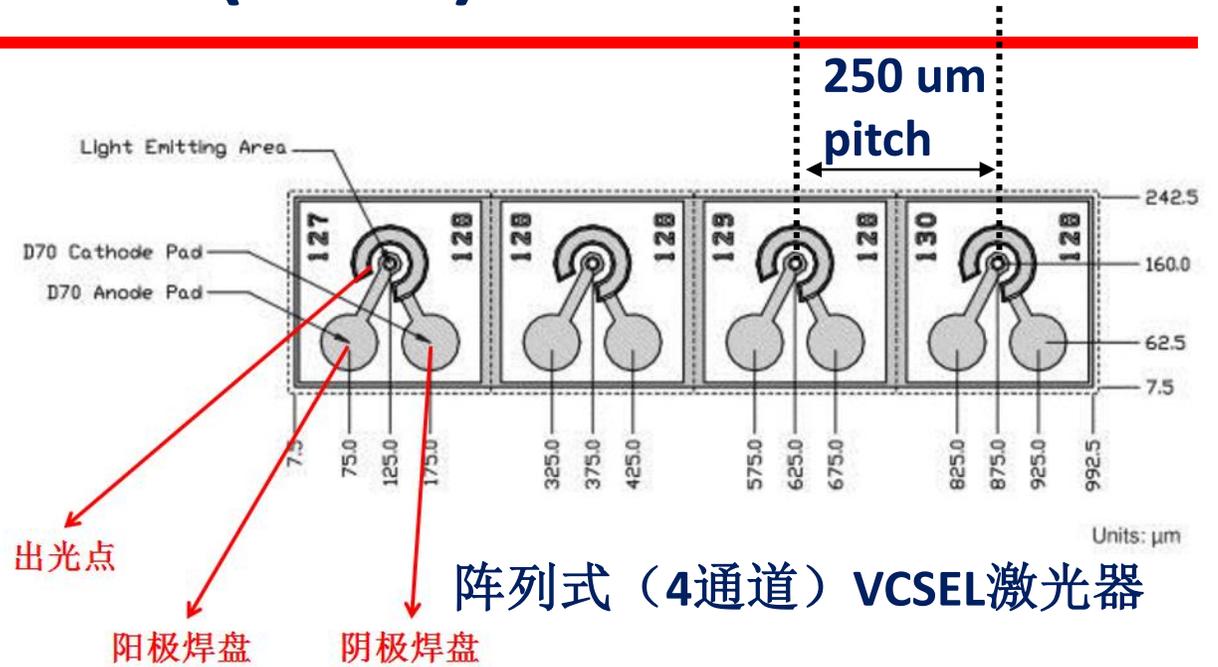
- VCSEL激光器

- Vertical-cavity-surface-emitting-laser垂直腔面发射激光器

- 光垂直于芯片向上发出
 - 具有高带宽、易耦合、易于wafer晶元级测试（降低测试成本）、易于面阵化等优势。
 - 作为高速光通信的光源被广泛使用
 - 成熟商用产品有单通道、4通道、12通道等形式。

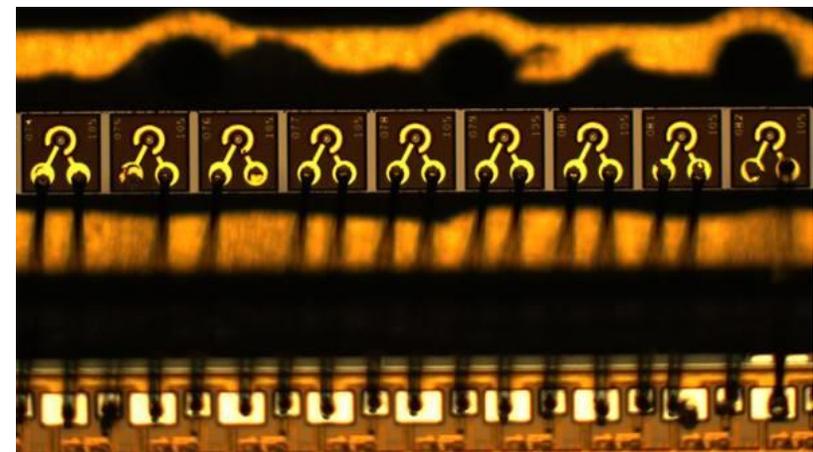
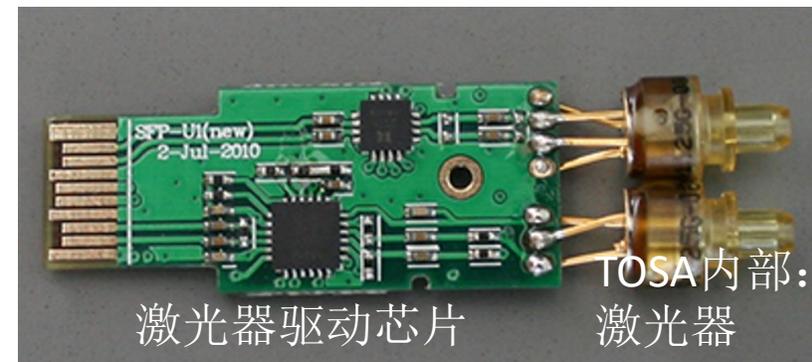
- 右图展示了一个4通道和一个12通道阵列式VCSEL激光器

- 通道之间严格250 um的中心距
 - 4通道VCSEL激光器芯片长度仅1 mm



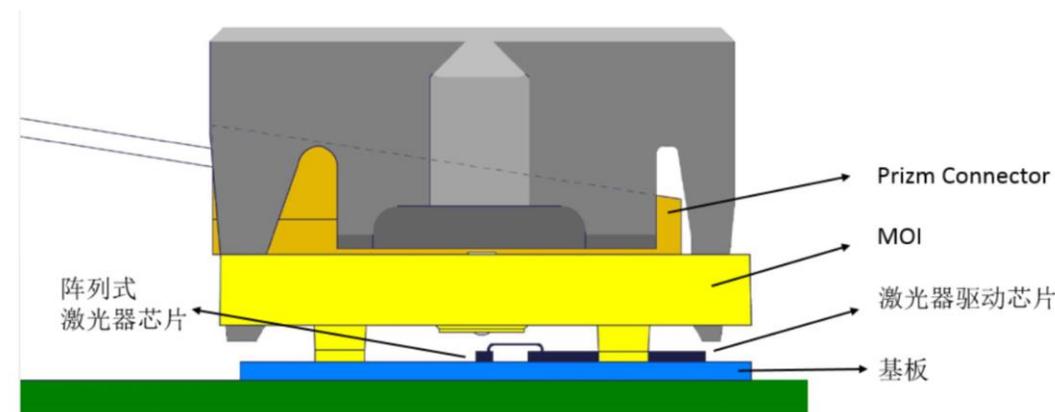
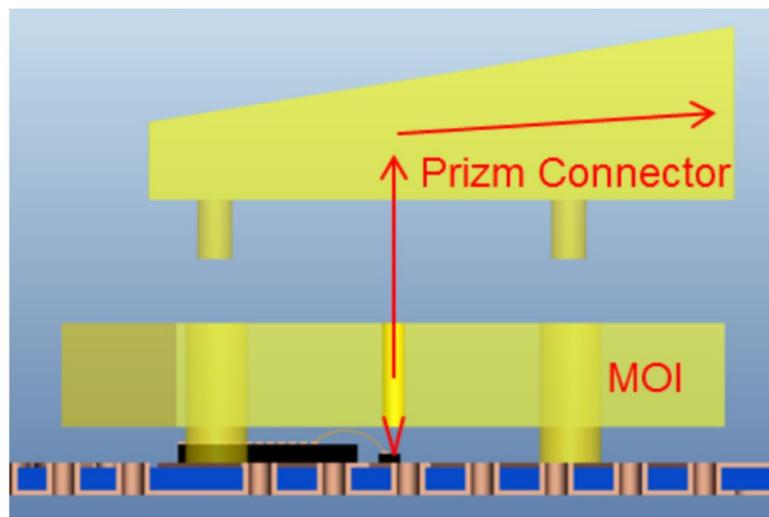
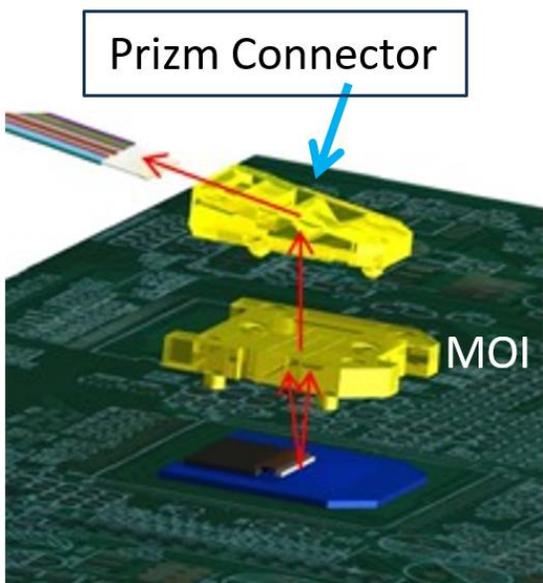
阵列式激光器芯片的集成

- 回顾单通道的激光器芯片是如何集成于光模块中的？
 - 包含在TOSA内部，TOSA通过直插管脚/柔性板连接至PCB板与激光器驱动芯片相连接。
- 不使用TOSA，阵列式激光器芯片该如何集成？
 - 阵列式激光器芯片与阵列式激光器驱动芯片采用COB（chip on board）形式直接裸片贴装于PCB板上，并采用bonding线直接互连。
 - 相互间隔仅250 um、垂直于表面发出的互相独立的4路（12路）光信号，如何精准地耦合进4根（12根）光纤中？



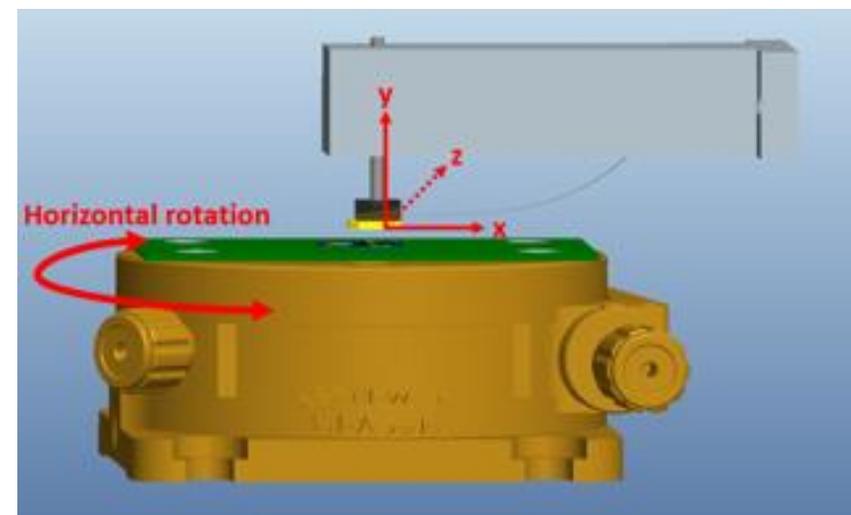
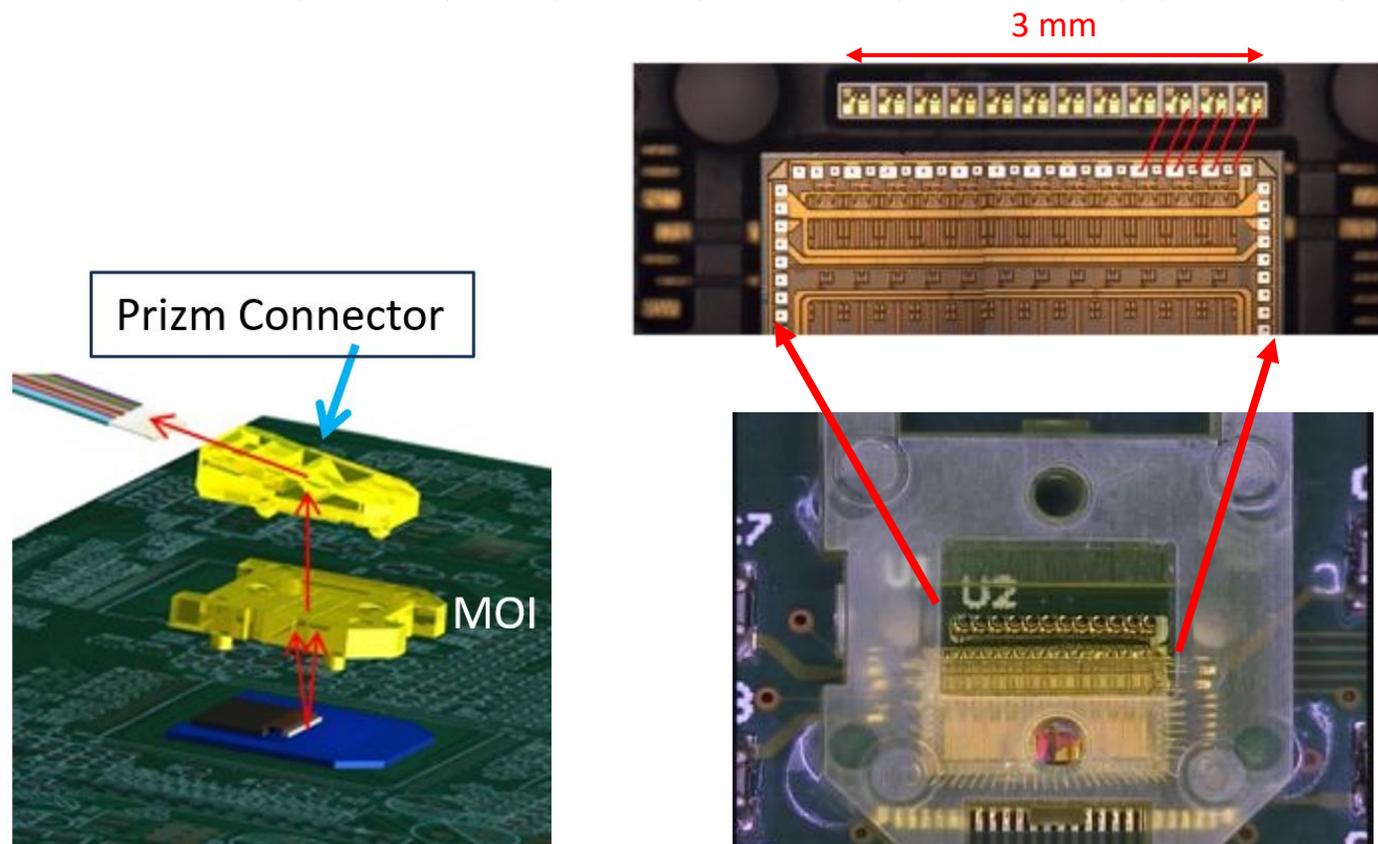
阵列式光模块的光路设计

- 定制化设计阵列式光模块的设计
 - 使用US Conec.的MOI + Prizm Connector作为光接口（2013年）
 - 首次将业界最新的光路耦合器件引入高能物理领域
 - MOI上包含12个间距为250um的微透镜(Micro lens)，覆盖在阵列式激光器之上
 - Prizm Connector中实现12路光信号的“光转90度”，进入12根光纤中
 - 使用MOI的光路耦合方式，后来被CERN的VTRx+模块采用，并沿用至今

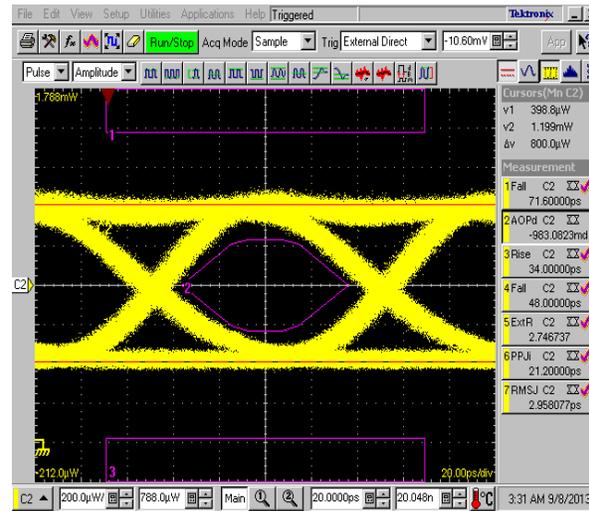
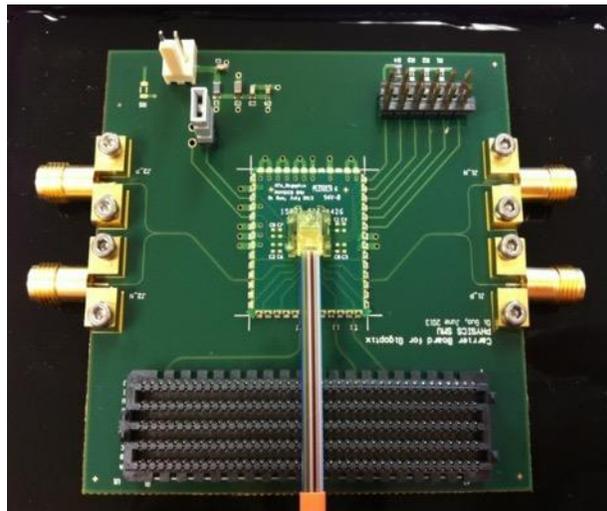
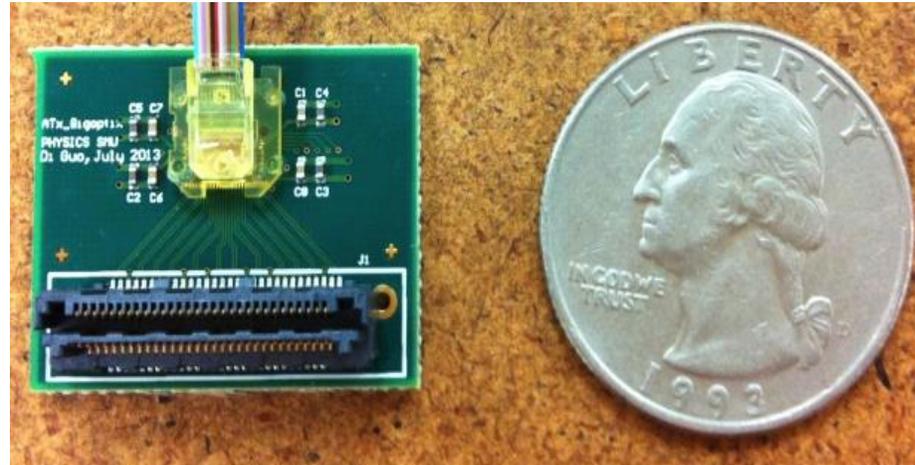
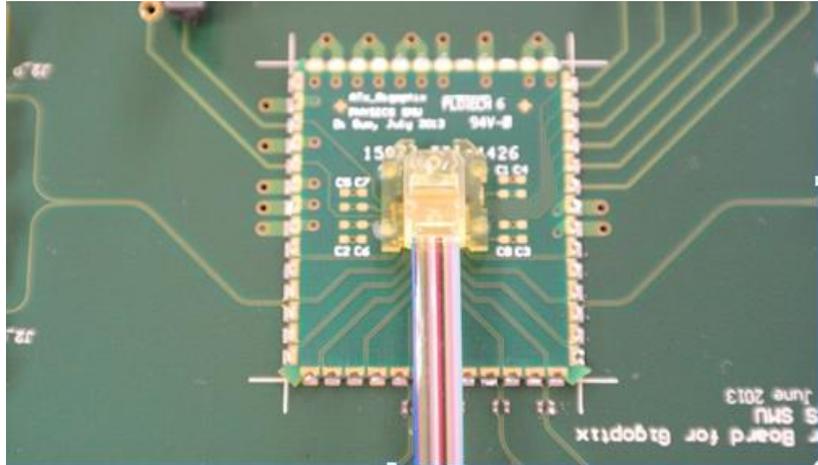


阵列式光模块的光路设计

- MOI与Prizm Connector、12路光纤带之间的耦合对齐由器件本身保证。但是MOI与阵列式激光器芯片的耦合对齐需要经过精密调节。
- “并行光路的耦合对齐”是阵列式光模块成本的主要来源之一。

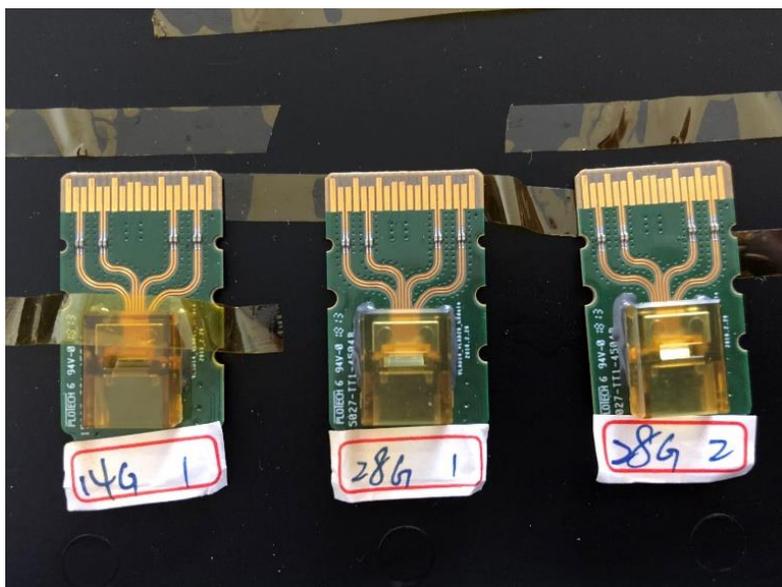


定制化阵列式光模块ATx

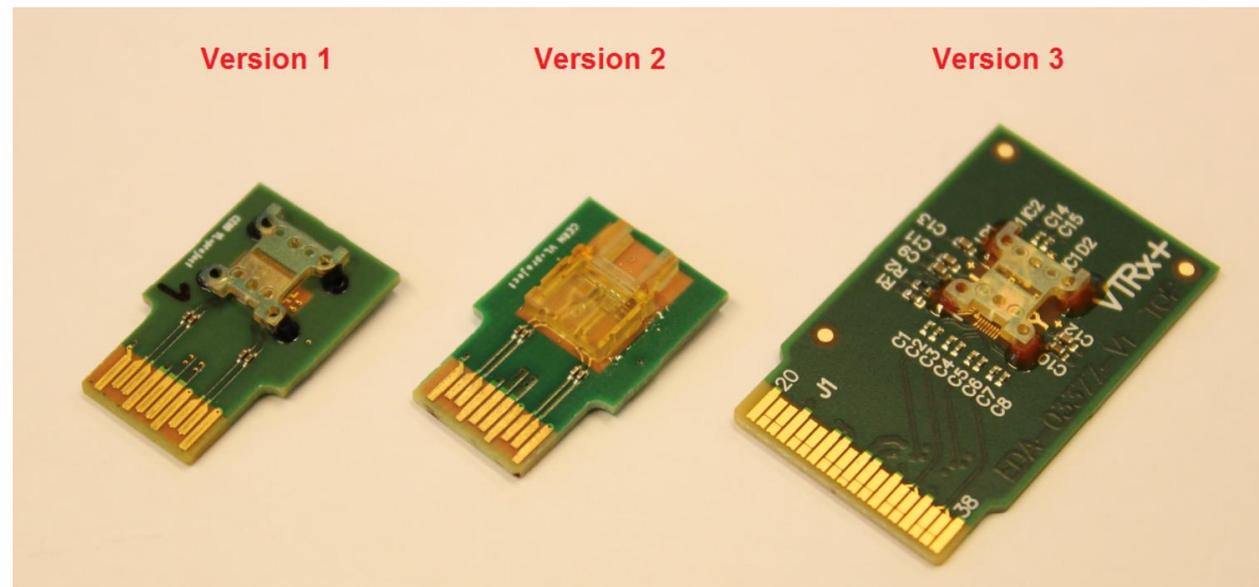


- 高能物理电子学领域第一个定制化12通道120 Gbps阵列式光发送模块（ATx）
 - 采用商用驱动芯片验证模块光、电接口性能
- 成果2013、2014连续两年作TWEPP大会报告
- 加入CERN Versatile Link、GBT项目组研发

更多的HEP定制化阵列式光模块



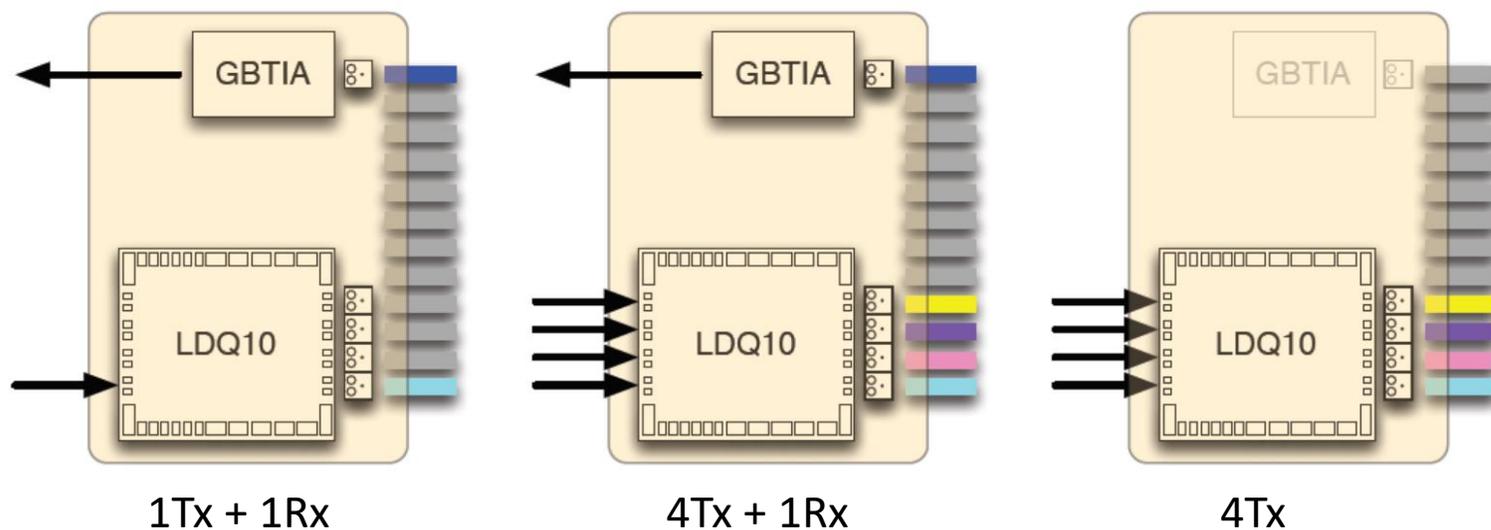
类QSFP形式的4通道发送(4Tx)
阵列式光模块



CERN 所研发的VTRx+阵列式光模块

CERN VTRx+光模块中的通道数配置

- CERN ATLAS、CMS探测器前端读出对光模块的通道数需求
 - 在潜在使用场景中，60%场景需要1Tx + 1Rx； 12%场景需要4Tx + 1Rx； 28%场景需要4Tx (Jan Troska et al., *The VTRx+, an Optical Link Module for Data Transmission at HL-LHC*)
 - 基于此考虑，CERN的阵列式VTRx+光模块主要基于4Tx + 1Rx通道研发，通过关闭通道的方式兼顾其他通道需求的情形。



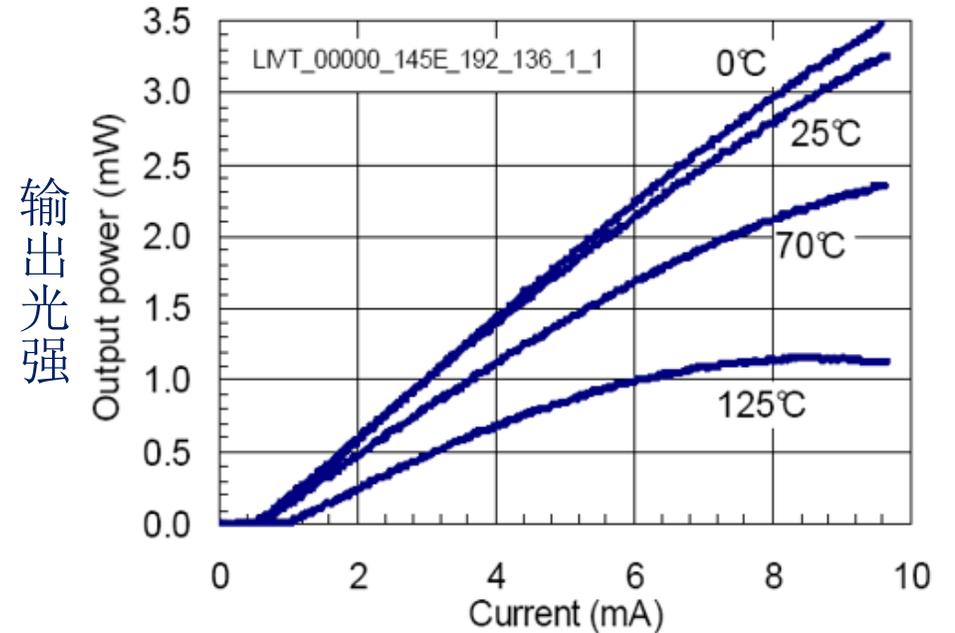
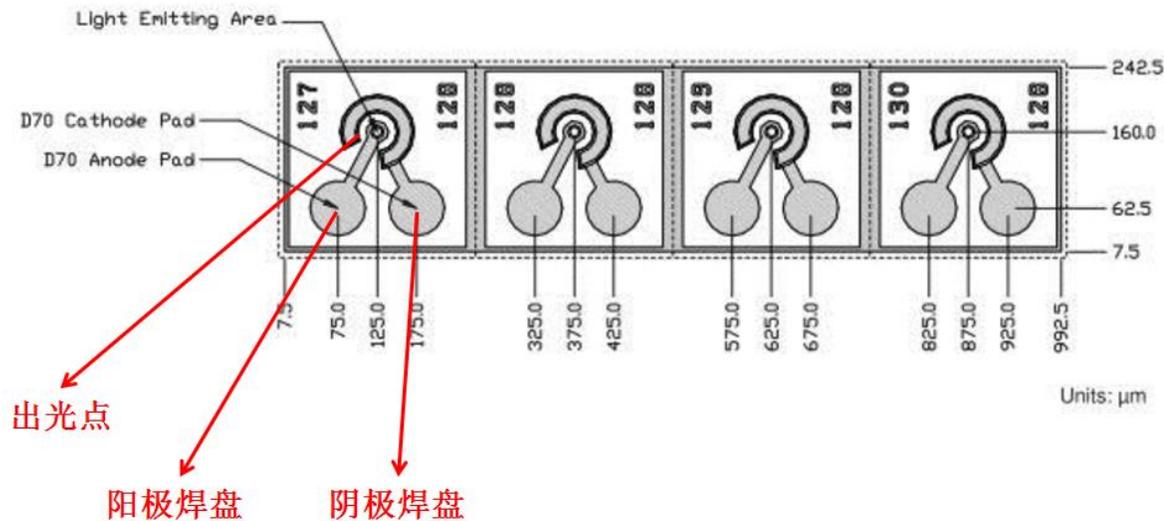
CERN VTRx+通道数的可配置

-
- 1、HEP中光纤数据传输系统的概念简介
 - 2、实际应用中的HEP高速双向光纤通讯系统示例
 - 3、光模块的研发
 - 4、激光器驱动芯片的设计
 - 5、其他相关研究方向

激光器芯片的原理与特性

- VCSEL激光器芯片工作的功能描述

- 激光器的阴极焊盘接地
- 从阳极焊盘输入电流
- 输入电流超过一定的阈值电流(I_{th})后，激光器发出的光强与输入的电流值成正比。

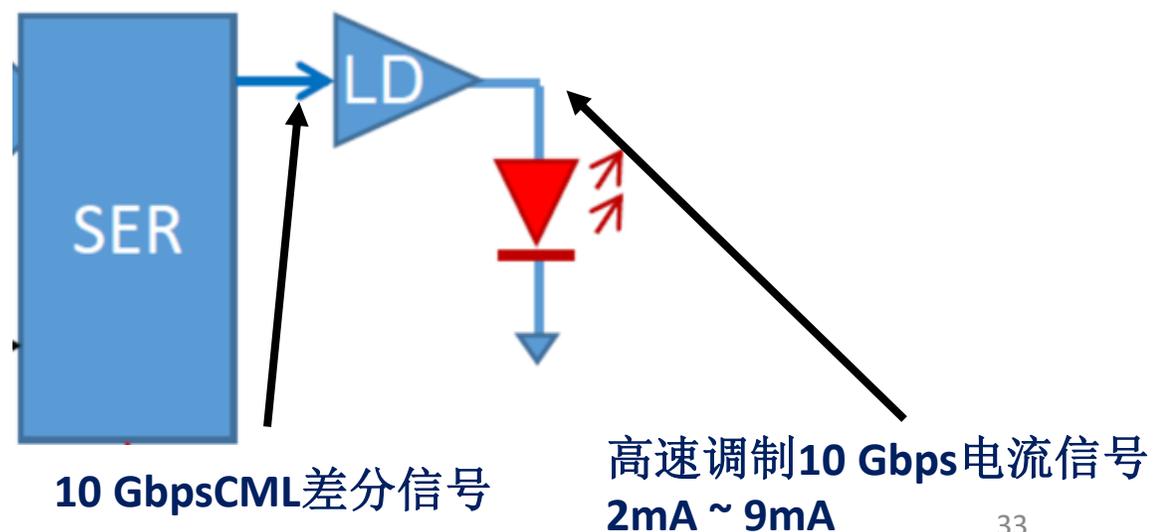
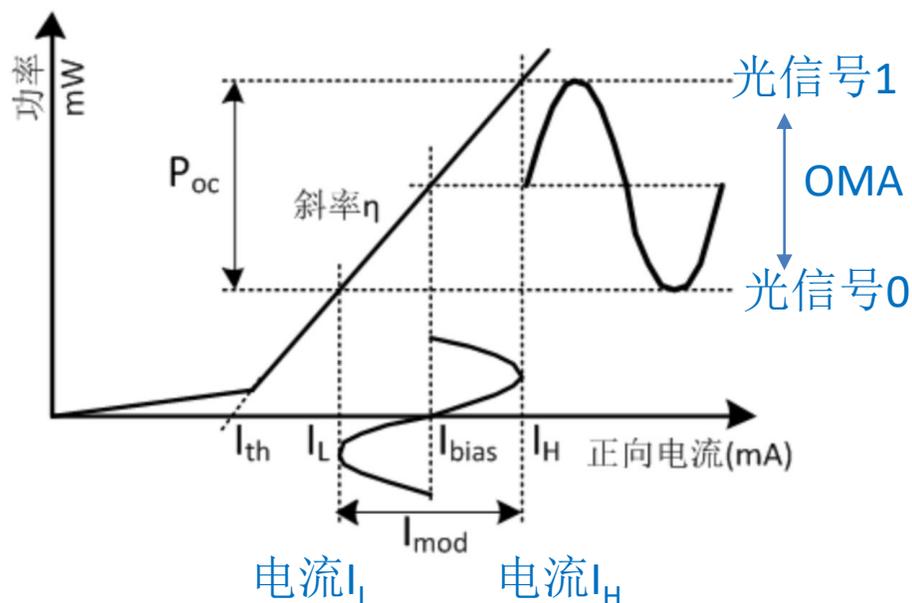


某850 nm VCSEL激光器的L-I 光强-电流曲线

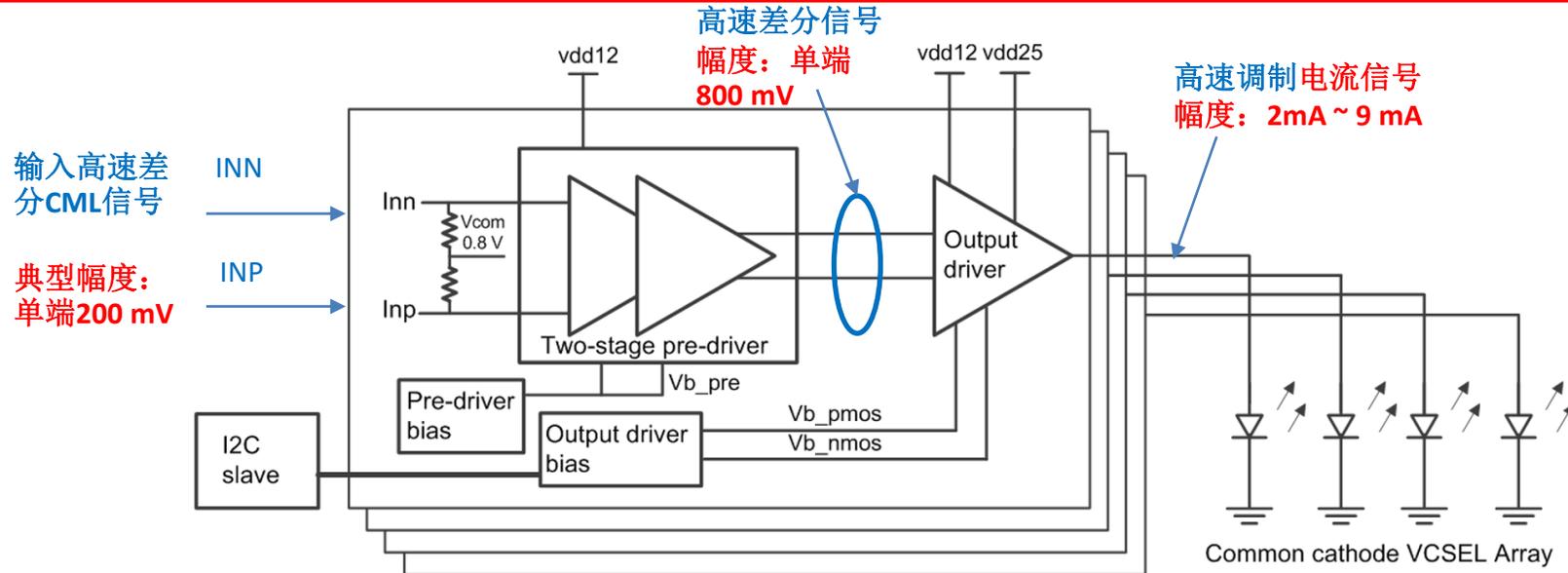
激光器驱动芯片的功能

- VCSEL激光器驱动芯片

- 提供一个随数据0、1信号调制变化的电流 ($I_L \sim I_H$ 之间)
- $I_L > I_{th}$ 以免激光器进入“截止”
- 输出调制电流幅度 $I_{modulation} = I_H - I_L$
- 调制光信号幅度OMA(Optical modulation amplitude) 正比于 $I_{modulation}$
- 为什么OMA很重要? 回顾数据眼图的BER与SNR信噪比的关系.
- 以850 nm VCSEL为例, 需要的典型 $I_L = 2\text{mA}$, $I_H = 9\text{mA}$
- 驱动芯片功能: 放大一个高速差分(CML)信号, 输出一个高速2~9mA调制电流



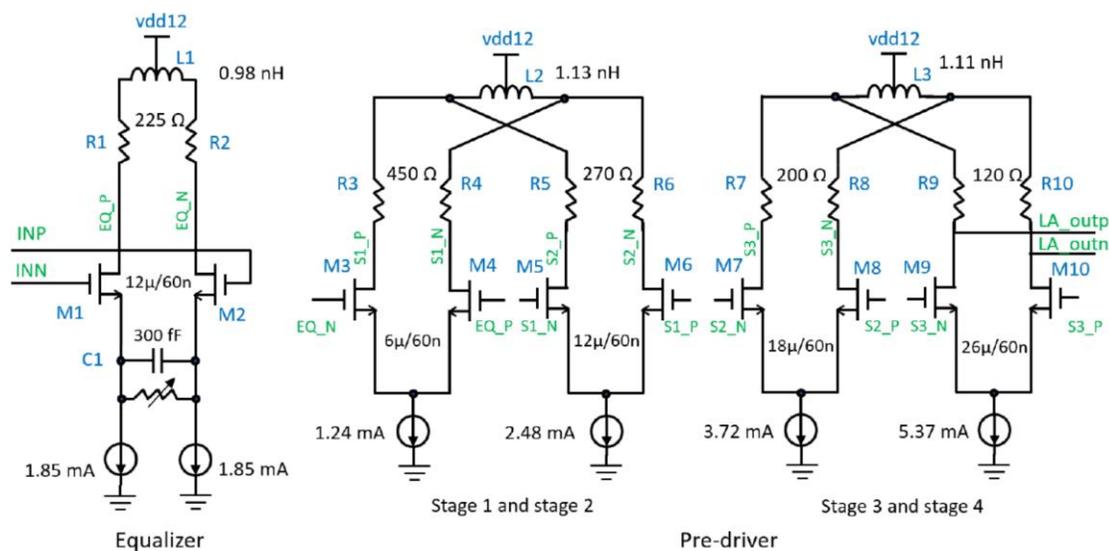
激光器驱动芯片的设计



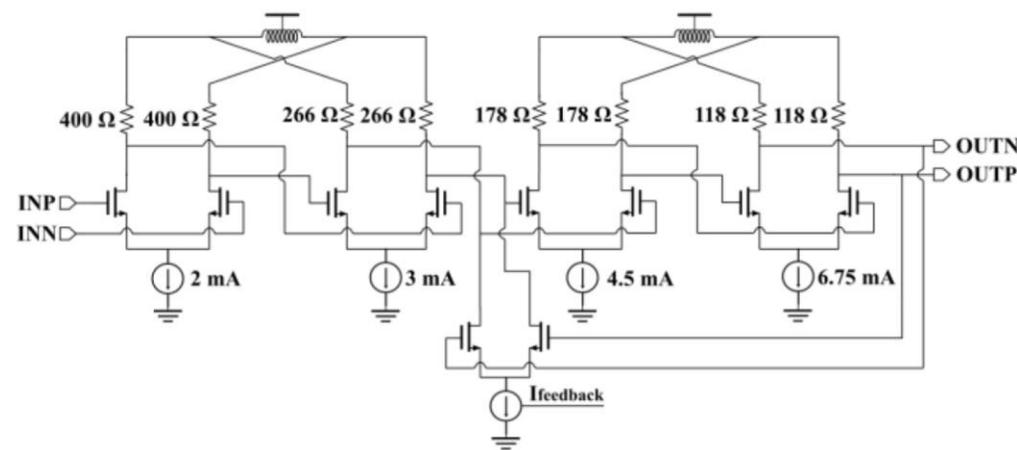
- 一个经典激光器驱动芯片结构主要由两部分构成:
 - 预防放大级pre-driver，也称为**限幅放大器Limiting Amplifier(LA)**
 - 将来自Serializer的高速CML信号预放大至一定的幅度
 - 在输入第一级可以考虑放置均衡器Equalizer设计
 - **Output driver输出级**
 - 将预放大后的高速差分信号（电压信号），转换成单端、高速电流信号驱动激光器（50 ohm负载）

LA限幅放大器设计—放大级

- LA限幅放大器主要由多级级联的差分放大级构成
 - 在合理的面积、功耗条件下达到增益与带宽要求是LA设计的最终目标
 - 以一个10 Gbps的激光器驱动芯片为例， $BW = 7\text{ GHz}$, $A_v = 15\text{ dB}$ 是一个典型的LA限幅放大器的要求
 - 下图是两个激光器驱动芯片中LA限幅放大器的设计原理图示意
 - LA设计的核心是带宽拓展技术



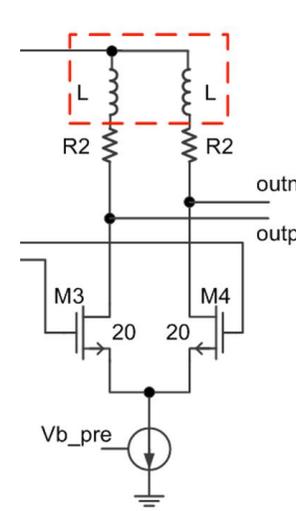
某激光器驱动LA限幅放大器设计示例1



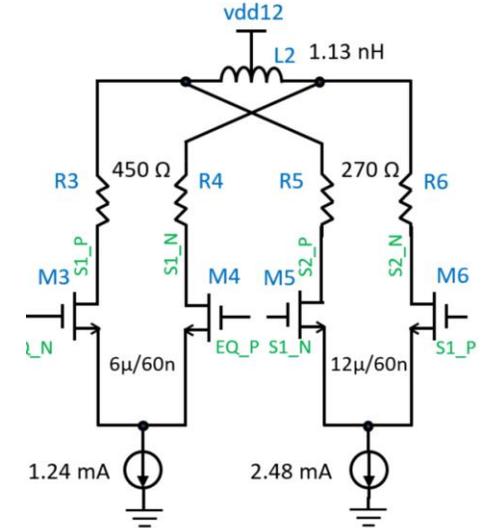
某激光器驱动LA限幅放大器设计示例2

LA限幅放大器设计中的带宽拓展技术

- 使用电感拓展差分级带宽
- 使用共享电感（Shared-inductor）同时拓展两级差分级带宽
 - 节省面积

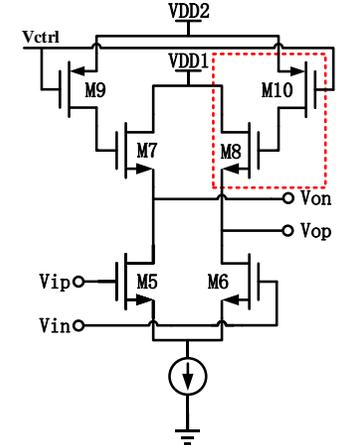
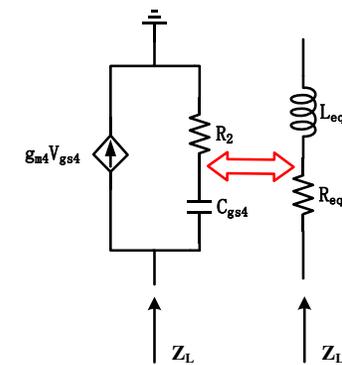
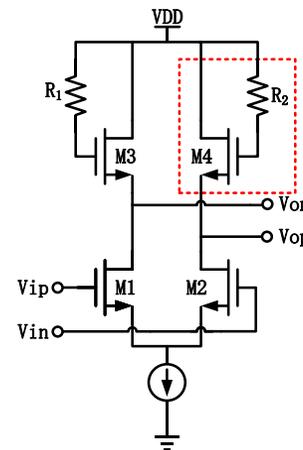


电感峰化



共享电感峰化

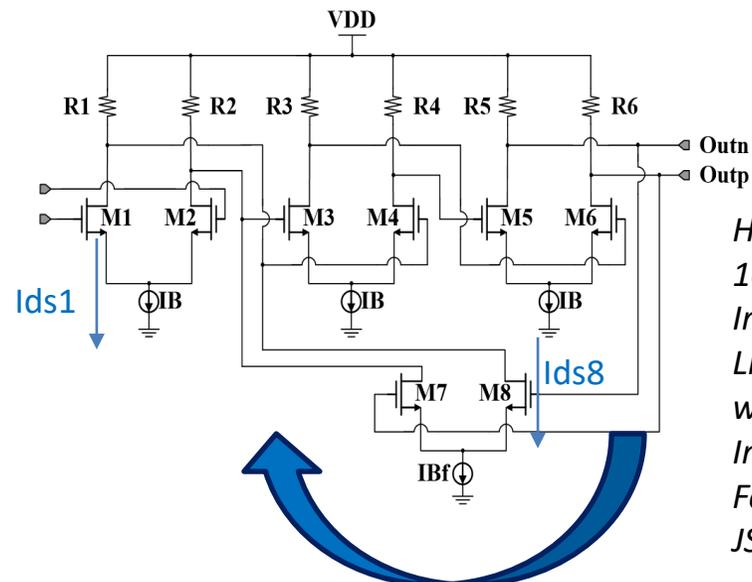
- 使用有源电感代替实际电感
 - 使用MOS管等有源器件构造出*iwl*形式的电感



使用有源电感代替实际电感

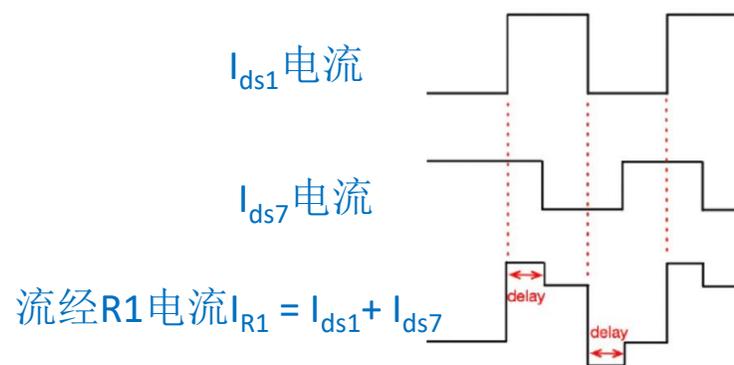
LA限幅放大器设计中的带宽拓展技术

- 使用级间有源反馈方式Active feedback结构的带宽拓展技术
 - 多级级联的差分放大级，将后级的差分放大输出信号“反馈”至前级，实现peaking带宽拓展效果
 - 小信号模型分析角度来看：
 - 每一个差分级简化的传递函数简化成一阶模型
 - 在增加M7/M8/Ibf构成的反馈级后，分别计算开环传递函数、反馈因子传递函数，最终计算出反馈系统的传递函数。
 - 增加反馈后的整体传递函数增加了极点，提升带宽。
 - 另一个直观角度来看：
 - 信号被“延迟叠加”在之前的信号上，在时域波形上产生了“peaking效果”！



H-Y Huang, et al., A 10-Gb/s Inductorless CMOS Limiting Amplifier with Third-Order Interleaving Active Feedback, IEEE JSSC 2007

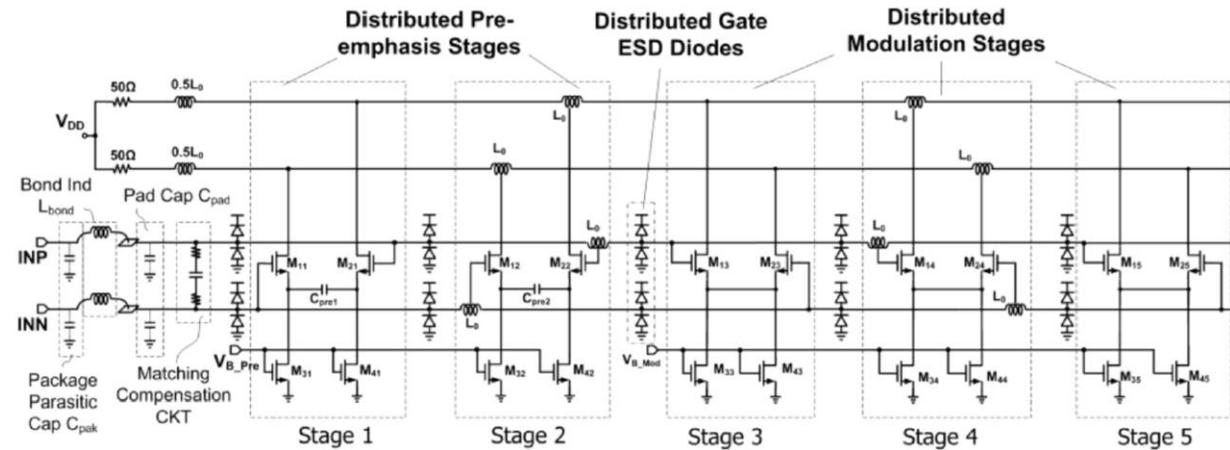
Third-order三阶有源反馈设计



从时域视角来看该电路

LA限幅放大器设计中的带宽拓展技术

- 使用分布式放大器Distributed-amplifier技术拓展带宽
 - 人为构造两条传输线（通过添加LC）
 - 输入信号沿构造的一条LC传输线传播，途中送给每一级差分级的栅极。
 - 将每级差分级的输出（即漏级）连接在另一条传输线上
 - 选择适当的参数，使得沿栅极传输的输入信号，产生的各级输出信号能够以正确的相位正好同相叠加，得到最终的放大输出信号。
- 由于大量使用电感，占用面积大
- 能获得极宽的工作带宽，性能优异



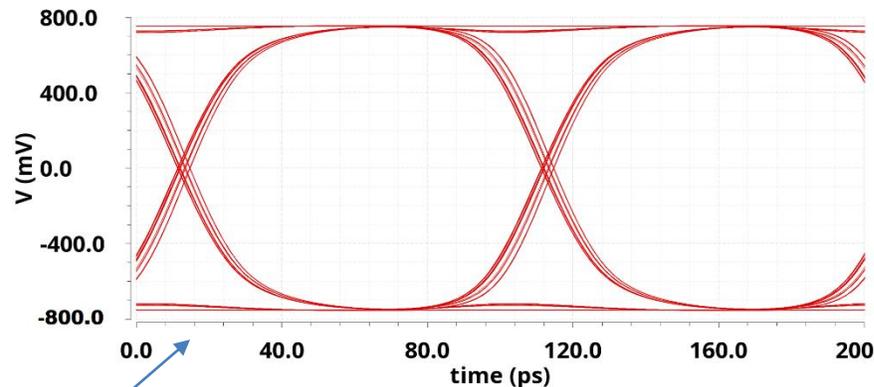
一个分布式放大型LA的设计

T.Zhang et al., A 10 Gb/s laser driver in 130 nm CMOS technology for high energy physics applications, 2015 JINST

LA带宽拓展技术总结

- LA带宽拓展技术总结

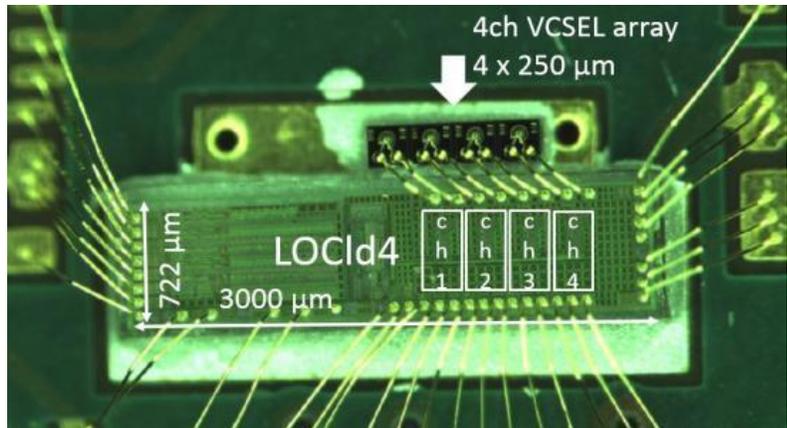
- Active CTLE型均衡器设计（这也是一种带宽拓展技术）
- 使用无源电感、共享电感 shared inductor
- 使用有源电感
- 级间有源反馈 Active feedback
- 分布式放大器 Distributed amplifier



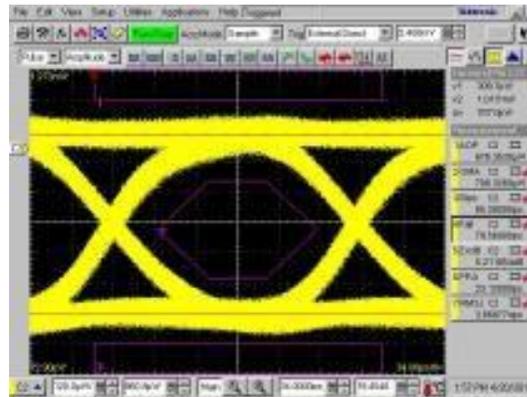
- 以上技术在性能、面积、功耗、电压裕度占用等方面各有优劣势，同时可以互相组合，最终构成非常丰富的LA带宽拓展技术选择。
 - 性能、面积、功耗的综合优化选择
 - 性能方面，以最终瞬态仿真眼图的幅度是否达到要求、眼图质量（幅度噪声, 抖动jitter）作为性能的评判标准

部分激光器驱动芯片设计/实物展示

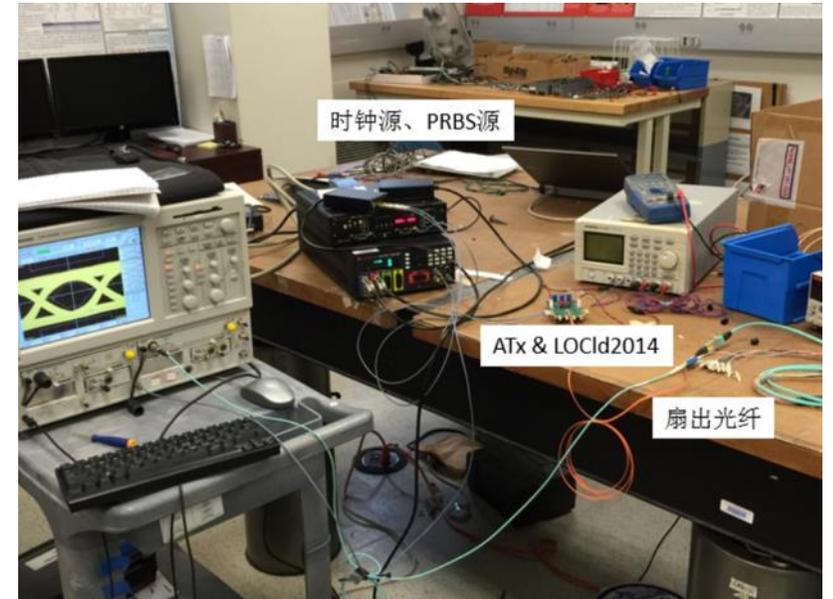
- 4通道VCSEL激光器驱动芯片 LOClD4 (5 Gbps/ch)
 - 基于0.18 μm 工艺



驱动芯片与4通道激光器
显微镜下bond线图

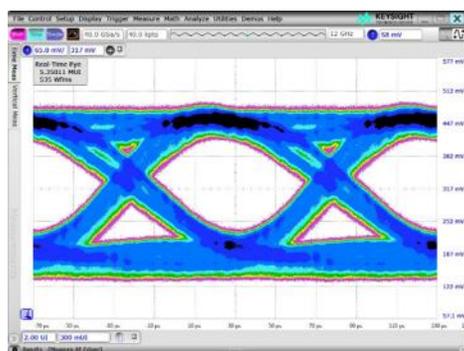
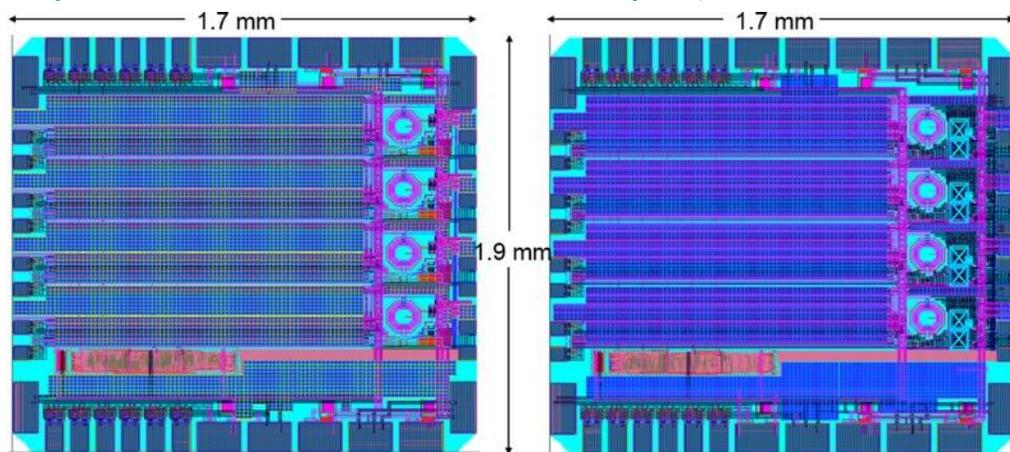


5 Gbps光眼图

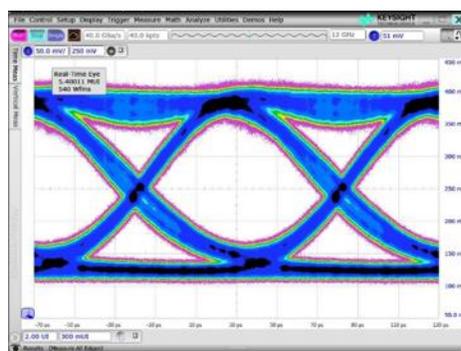


部分激光器驱动芯片设计/实物展示

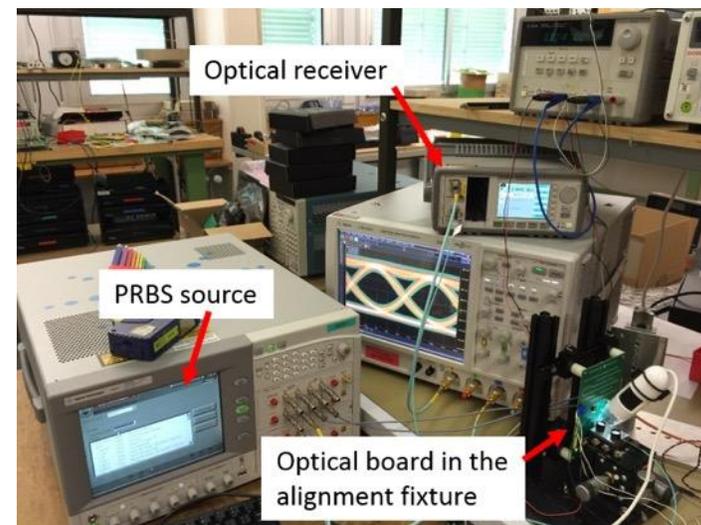
- 4通道VCSEL激光器驱动芯片 VLAD、IpVLAD (10 Gbps/ch)
 - 基于TSMC 65nm CMOS工艺
 - VLAD: 34 mW/ch at 10Gbps
 - IpVLAD: 22 mW/ch at 10Gbps (超低功耗设计/ 专利)



VLAD 10 Gbps光眼图

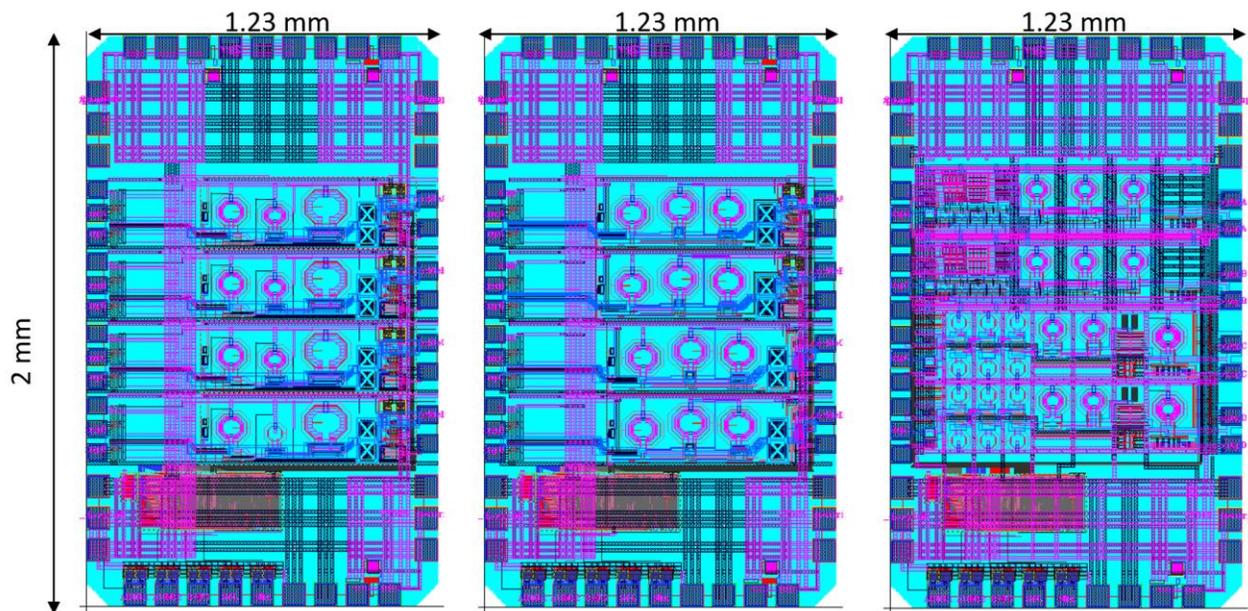


IpVLAD 10 Gbps光眼图



部分激光器驱动芯片设计/实物展示

- 4通道VCSEL激光器驱动芯片 VLAD14、VLAD28
 - 基于TSMC 65nm CMOS工艺
 - VLAD14: 速率提升至 14 Gbps/ch
 - VLAD28: 速率提升至28 Gbp/ch
- 4通道接收放大芯片TIA14 (TIA + LA)

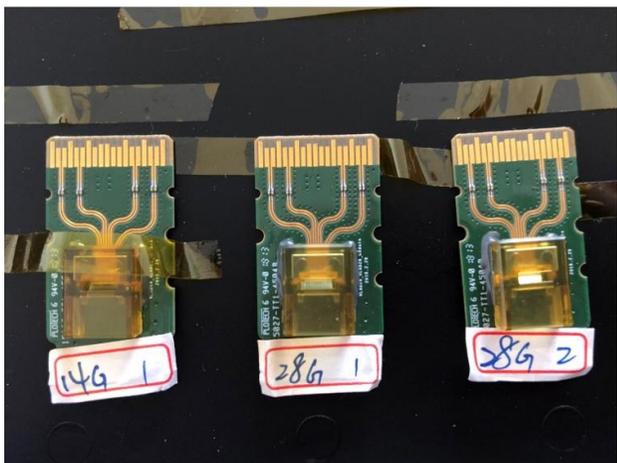


4通道28 Gbps/ch
激光器驱动芯片
VLAD28

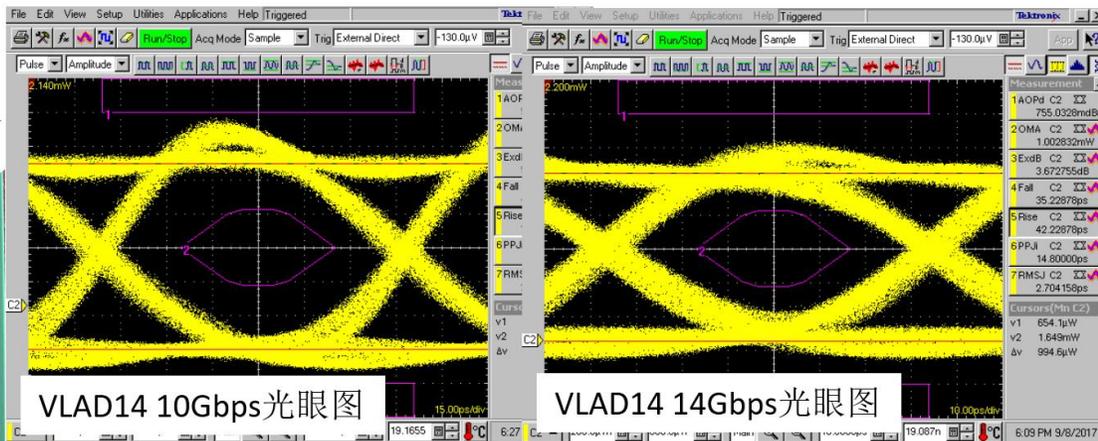
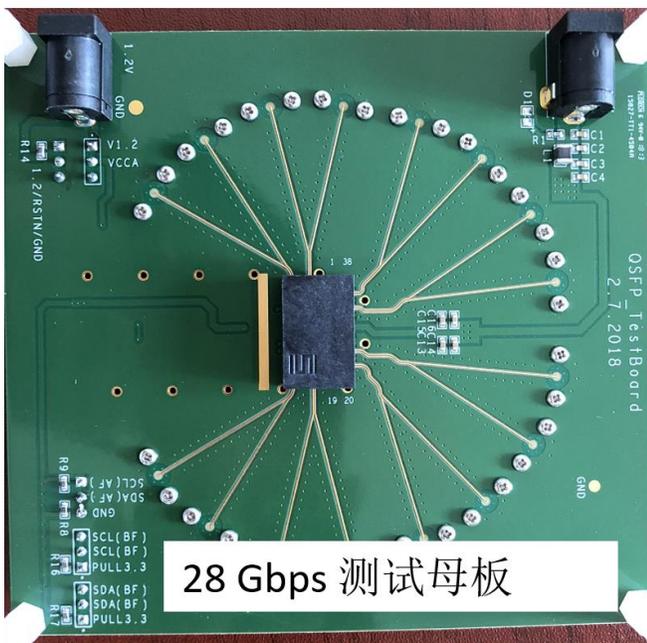
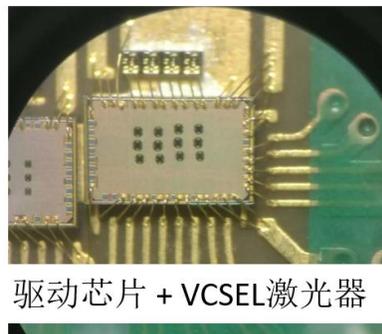
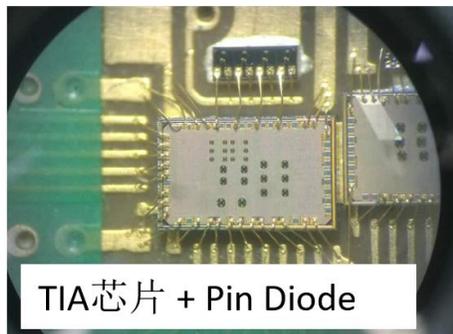
4通道14 Gbps/ch
14 Gbps 版本
VLAD14

4通道14 Gbps/ch 接收芯片
(TIA+LA)
TIA14

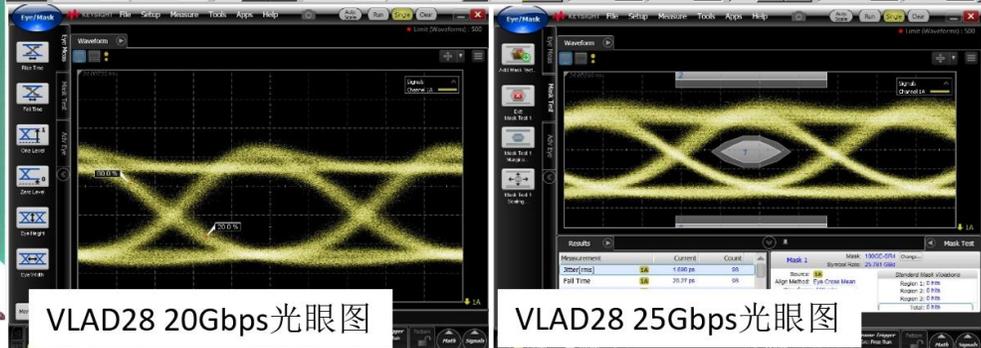
部分激光器驱动芯片设计/实物展示



芯片显微镜下打线图

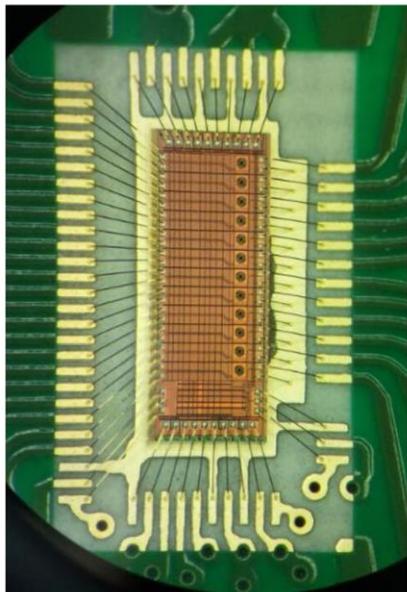


VLAD14
VLAD28
激光器驱动芯片测试

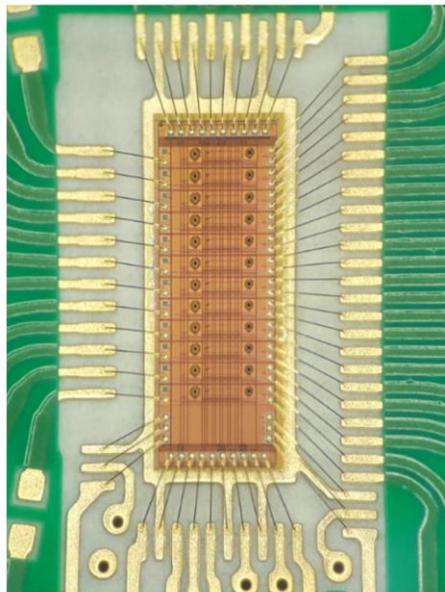


部分激光器驱动芯片设计/实物展示

- 12通道VCSEL激光器驱动芯片、接收芯片
 - 12通道12 x 10 Gbps/ch VCSEL激光器驱动芯片、接收放大芯片
 - 横向项目，已验收交付。
 - 基于中芯国际SMIC 65nm CMOS工艺



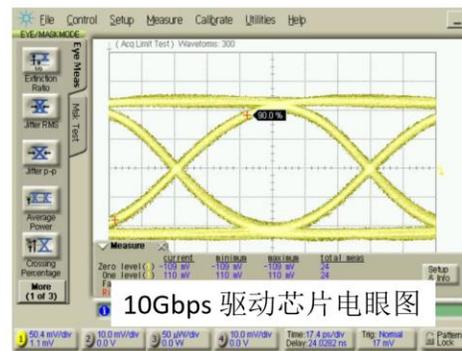
12通道12 x 10 Gbps/ch
激光器驱动芯片



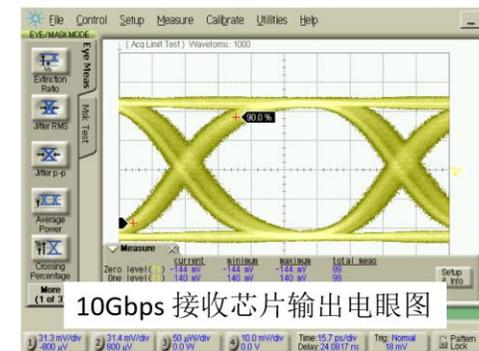
12通道12 x 10 Gbps/ch
接收芯片(TIA+LA)



12通道接收芯片电测试板



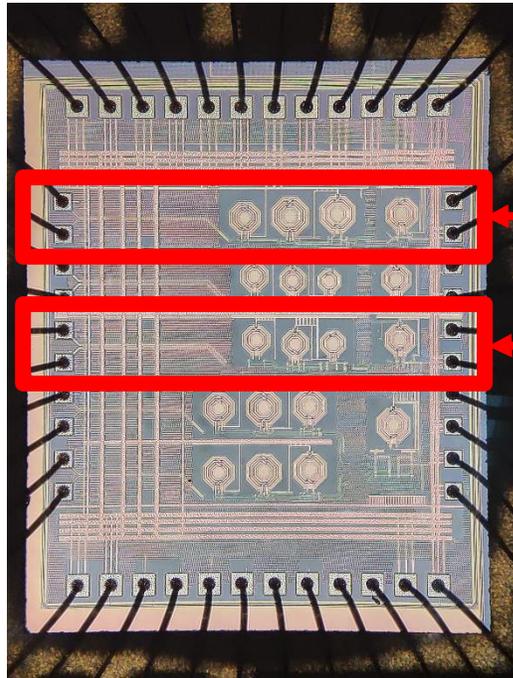
10Gbps 驱动芯片电眼图



10Gbps 接收芯片输出电眼图

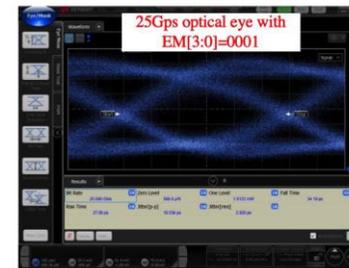
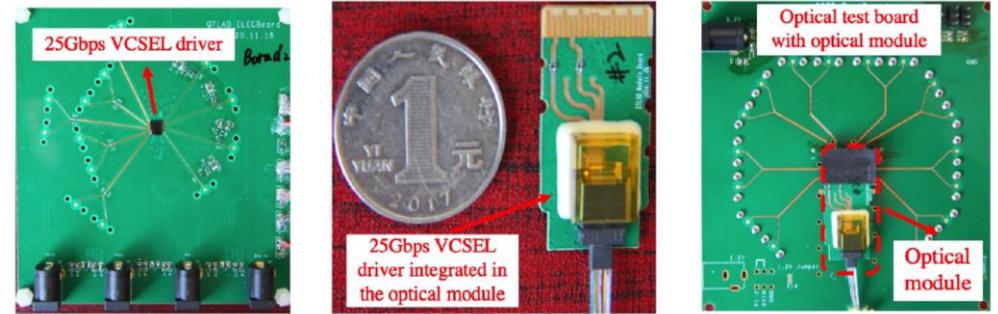
部分激光器驱动芯片设计/实物展示

- 另一款14 Gbps/ch, 25 Gbps/ch VCSEL激光器驱动芯片
 - 基于中芯国际SMIC 55nm

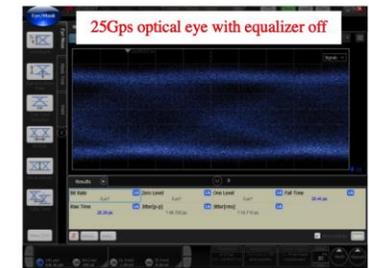


14 Gbps设计

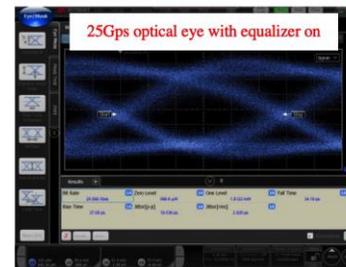
25 Gbps设计



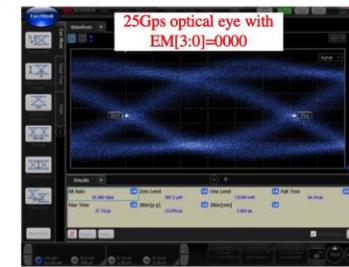
(a)



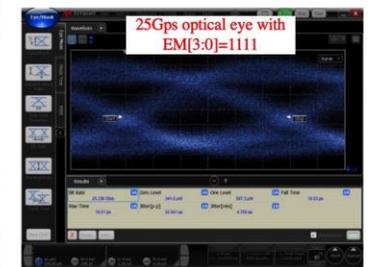
(b)



(c)



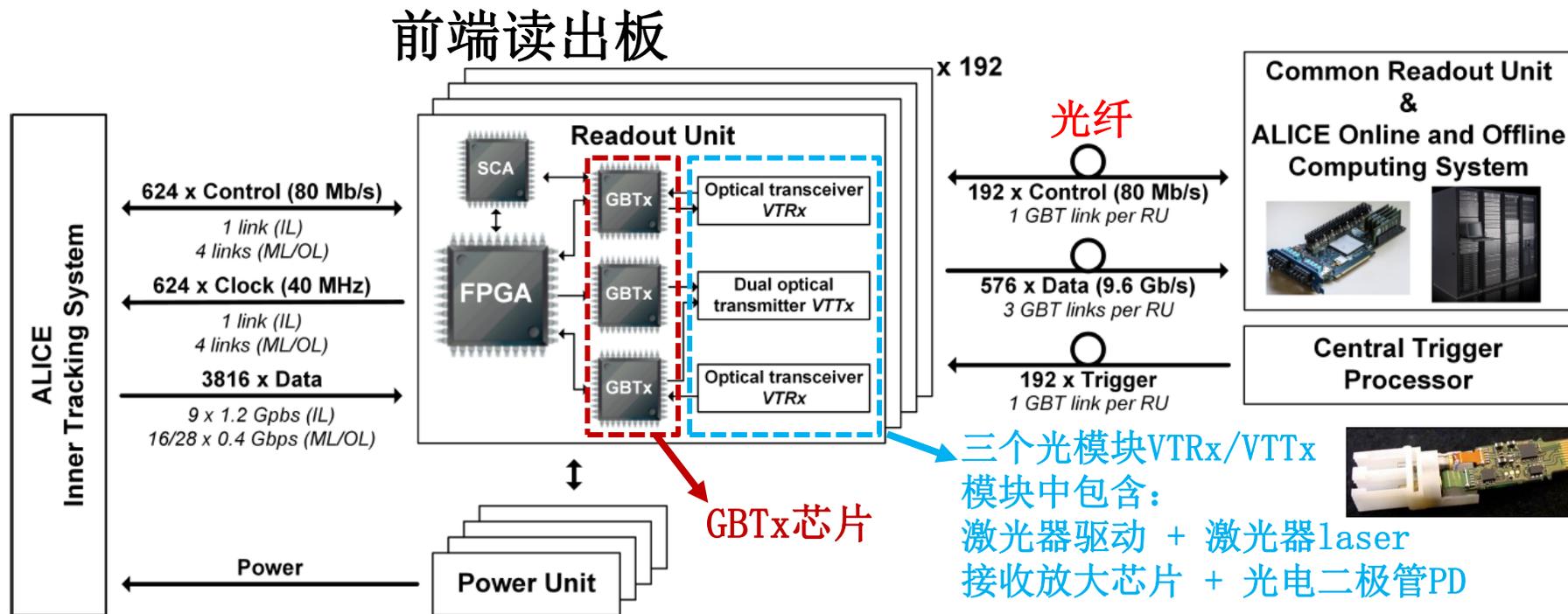
(d)



(e)

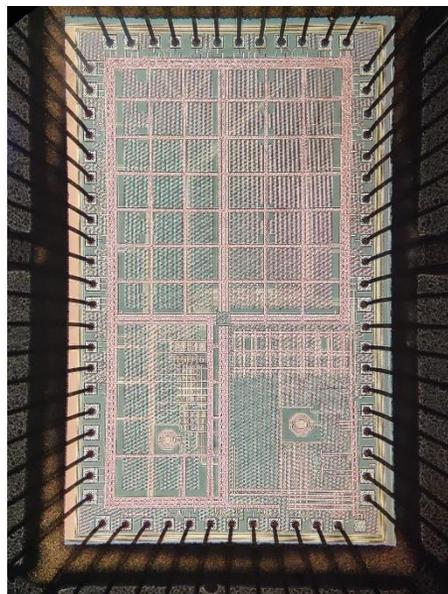
-
- 1、HEP中光纤数据传输系统的概念简介
 - 2、实际应用中的HEP高速双向光纤通讯系统示例
 - 3、光模块的研发
 - 4、激光器驱动芯片的设计
 - 5、其他相关研究方向

其他研究方向简介

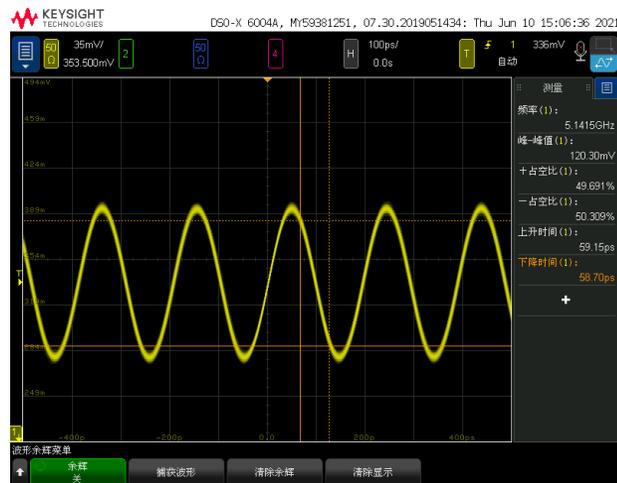


- 除光模块及相关的芯片研发，另一个主要研究方向是类GBTx芯片功能的芯片设计研究，主要包括：
 - 高速并串/串并转换模块、锁相环、时钟恢复CDR、自动相位对齐、时钟管理、带均衡通用轨到轨Rx、带预加重高速Tx、编解码等

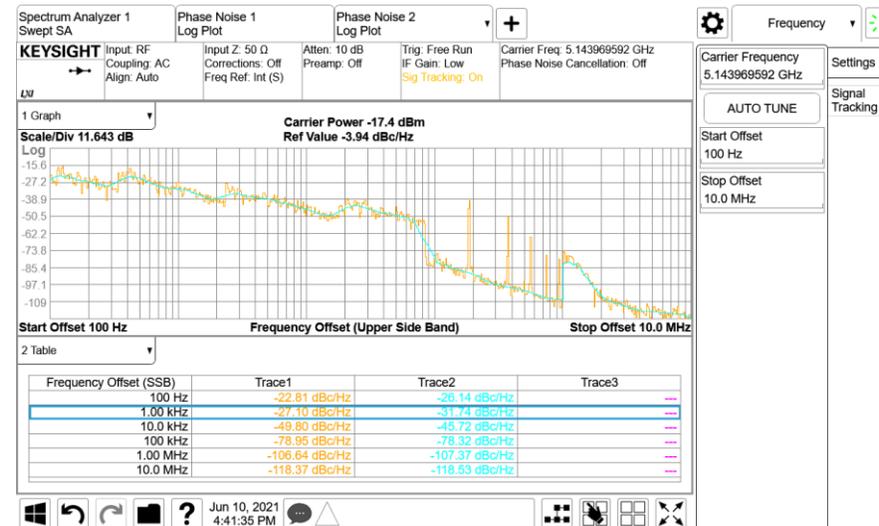
其他研究方向简介



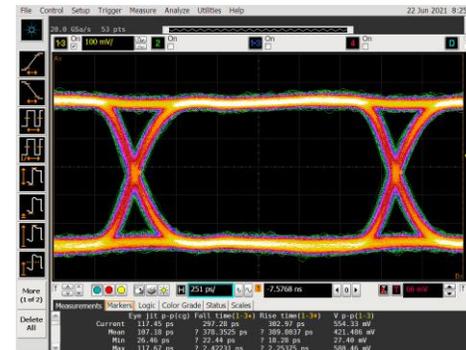
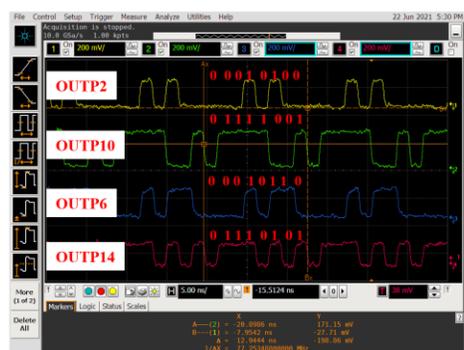
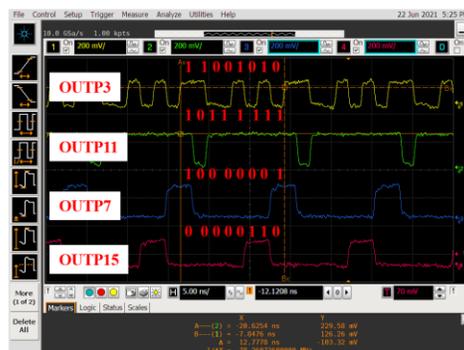
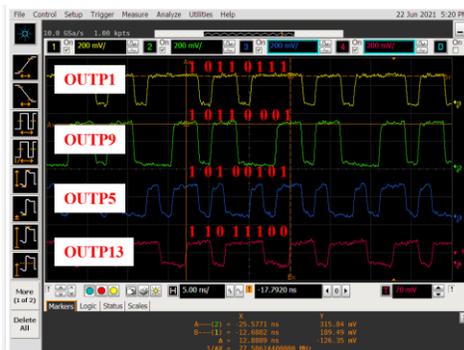
5.12 GHz PLL锁相环
+ 10 Gbps 1:16 串并转芯片



PLL 5.12 GHz clk

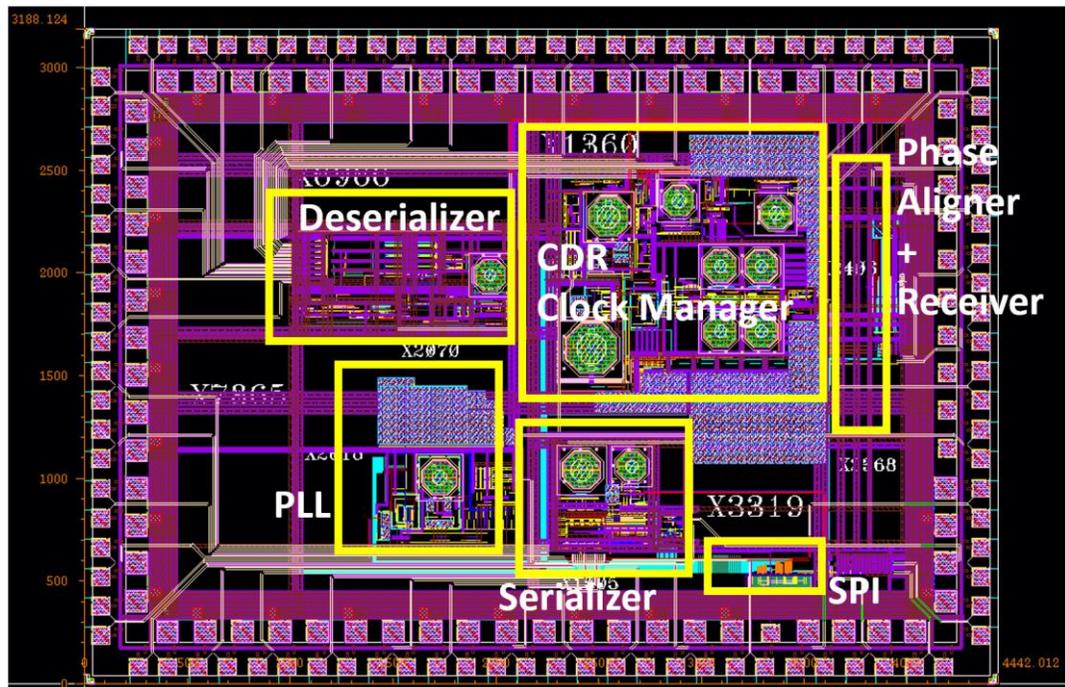


相位噪声测试



串并转换芯片测试

其他研究方向简介

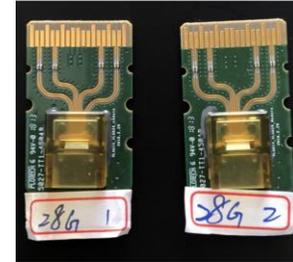
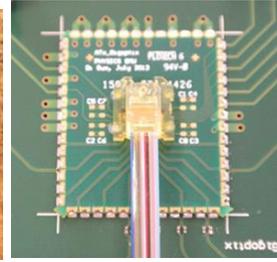
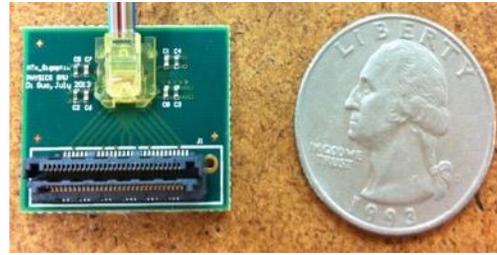
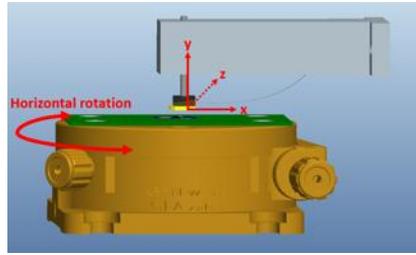


NICA_GBT_v1

- NICA项目中NICA_GBT芯片的研发
- NICA_GBT_v1
 - 芯片面积: 2880 x 4000 um
 - PAD数: 166
 - 主要包含以下功能模块:
 - 5.12Gbps/10.24 Gbps 16:1 并串转换
 - 2.56Gbps 1:16 串并转换
 - 2.56 Gbps CDR 时钟恢复
 - 5.12 GHz PLL 锁相环
 - 160M/320M/640M/1.28Gbps 自动相位对齐
 - Up to 1.28 Gbps 轨到轨Rx
 - 10.24 Gbps 带预加重Tx

总结

光模块研发

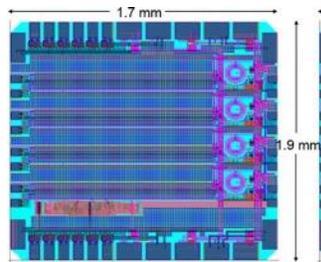


成熟的光模块设计与交付能力

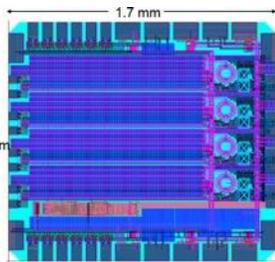
光通信中的驱动、接收芯片



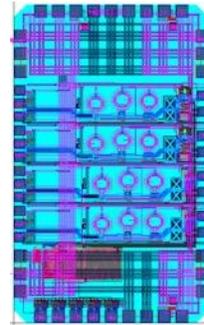
5 Gbps/ch driver



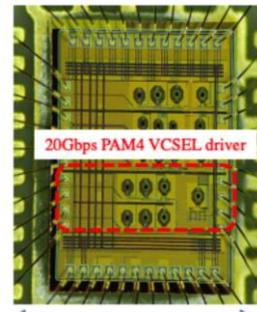
10 Gbps/ch driver



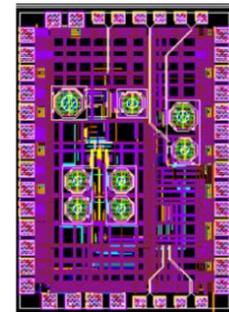
10 Gbps/ch driver



14G, 25G driver
14G TIA Receiver

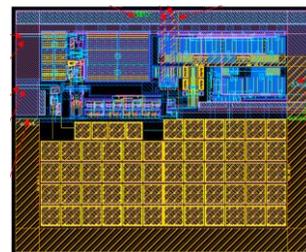
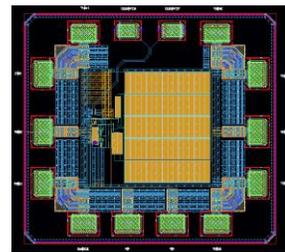
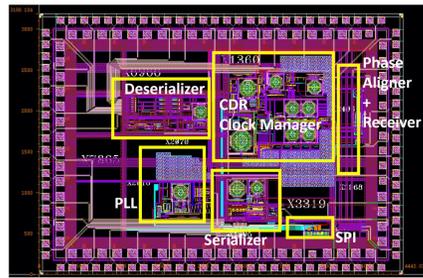
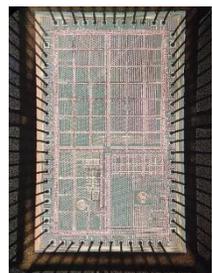


20 Gbps PAM4 driver



20 Gbps PAM4 Receiver (CDR + decoder)

Serdes系列芯片



构建完整功能的Serdes系列功能模块

谢谢！