

2022硕士学位论文答辩

——CEPC顶点探测器原型芯片
MIC5外围数字电路的设计与实现

报告人 王俊超 SA19004032

专业 粒子物理与原子核物理

指导老师 张一飞 教授 孙向明 教授

报告时间 2022/8/18



中国科学技术大学

University of Science and Technology of China

目录

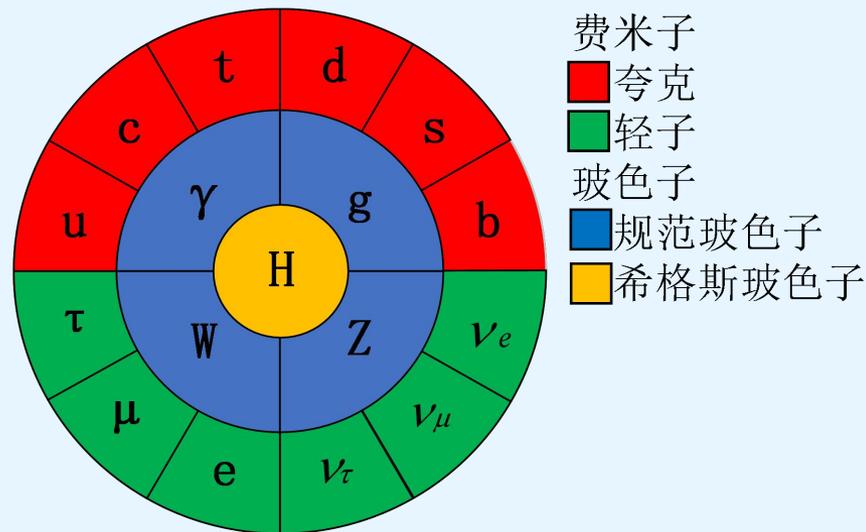
- 研究背景
- 研究内容和成果
- 总结和展望

01

研究背景

标准模型和希格斯粒子

- 标准模型
 - 规范相互作用
 - 希格斯场

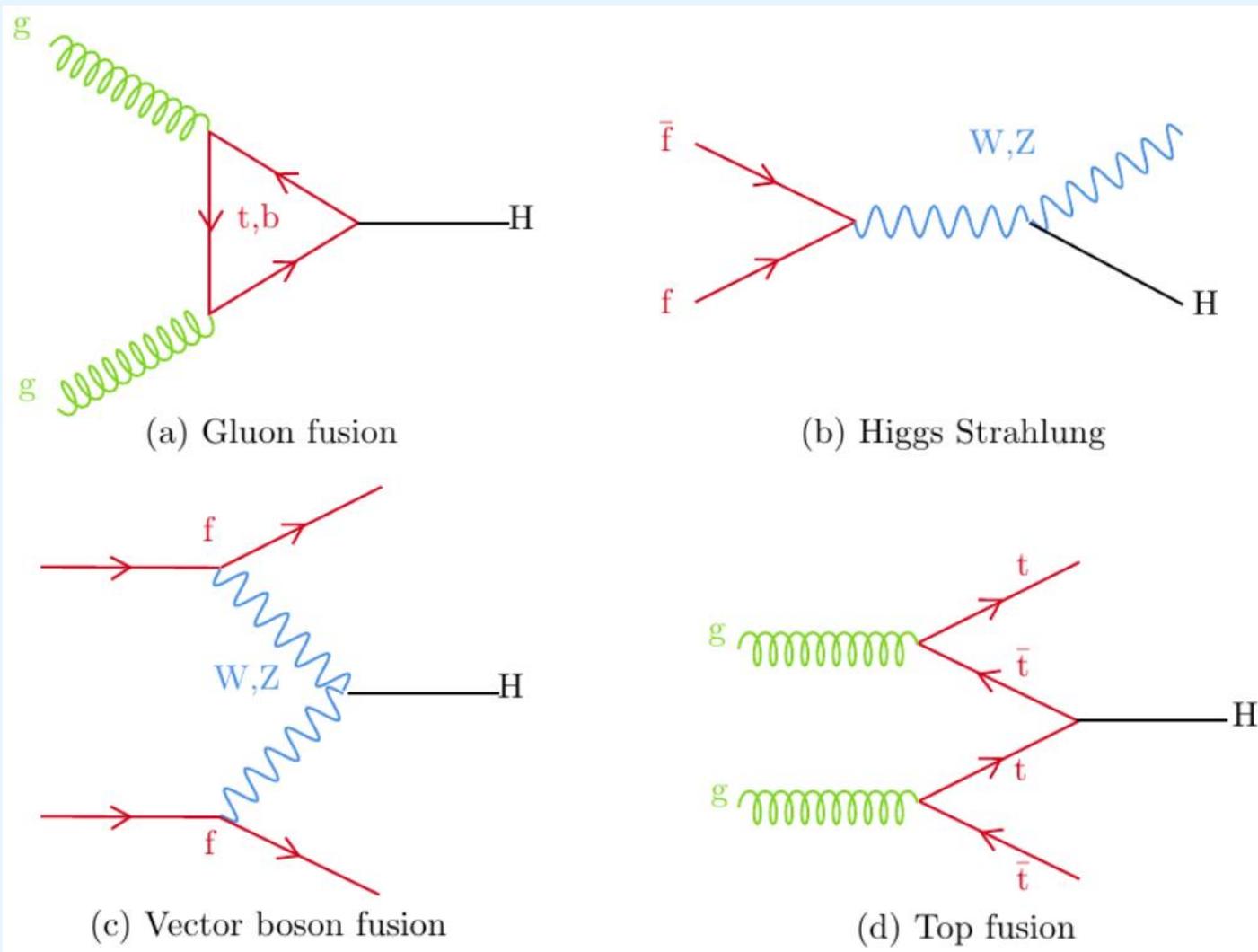


- 希格斯粒子

- 理论提出: 1964 彼得·希格斯等提出希格斯场
- 实验发现: 2012 LHC (ATLAS、CMS) $\sim 125\text{GeV}$
- 平均寿命: $\sim 1.56 \times 10^{-22}\text{s}$

标准模型粒子谱

对撞机实验中希格斯粒子产生的主要方式



CEPC顶点探测器

- 环形正负电子对撞机（Circular Electron-Positron Collider, CEPC）：周长50-100km，质心系能量~240 GeV，产生大量希格斯粒子
- 顶点探测器：接近反应顶点
- 需求
 - 空间分辨率优于 $3\mu\text{m}$
 - 每层单面物质质量低于 $0.15\%X_0$
 - 抗辐射
 - 总剂量~100 kRad/年
 - 非电离~ 10^{11} neq (1 MeV)/年
 - 功耗小于 50 mW/cm^2
 - 读出时间短于 $10\ \mu\text{s}$

像素探测器简介

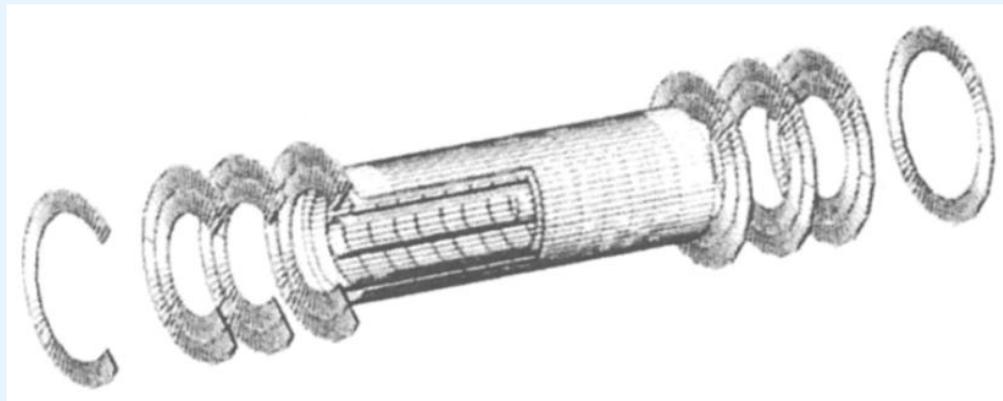
- 像素探测器

- 复合式像素探测器

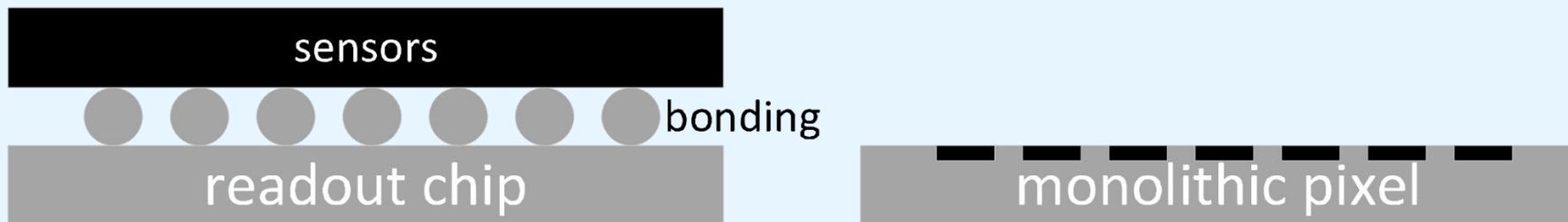
- 发展成熟较早
 - 良好的抗辐照性能、高数据读出率
 - 触点邦定工艺复杂，成本高

- 单片式像素探测器

- 小输入电容
 - 低物质量
 - 易安装

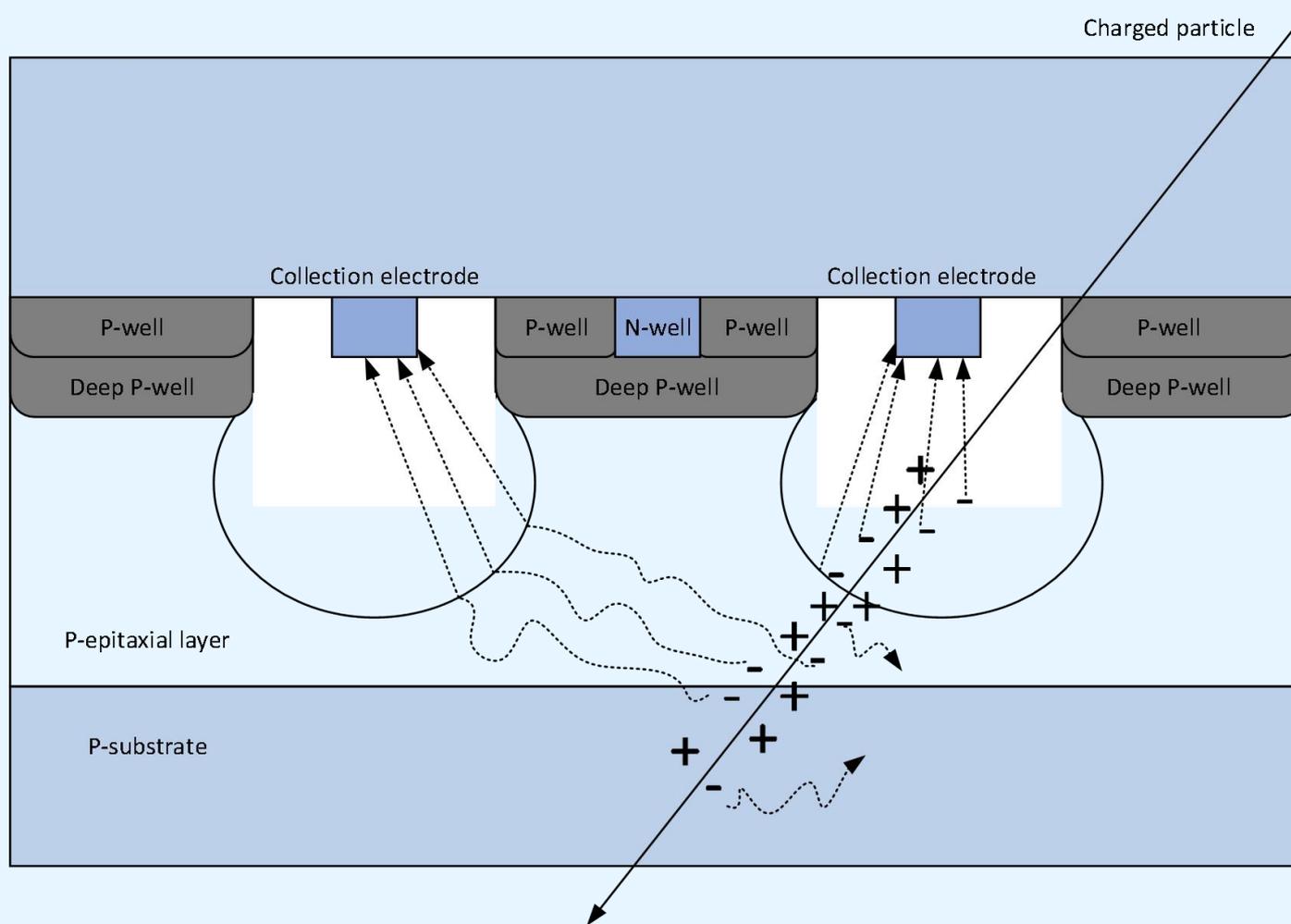


ATLAS 探测器结构图



复合式像素探测器（左）和单片式像素探测器（右）

单片式有源像素探测器



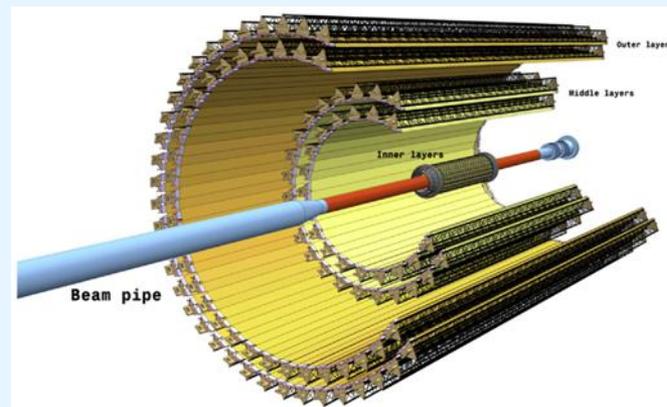
像素探测器在高能物理实验中的应用（一）

- STAR Heavy Flavor Tracker (HFT)@RHIC
 - ULTIMATE芯片
 - AMS 0.35 μm CMOS工艺
 - 像素尺寸 $20.7 \mu\text{m} \times 20.7 \mu\text{m}$
空间分辨率 $\sim 6\mu\text{m}$
 - 功耗 $\sim 170 \text{ mW}/\text{cm}^2@3.3\text{V}$
- 于2013年末安装，2014年开始取数
- 每层质量 $0.37\%X_0$



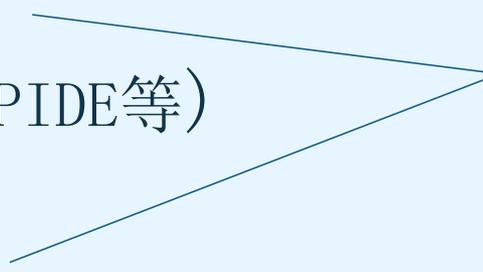
像素探测器在高能物理实验中的应用（二）

- ALICE Inner Tracking System (ITS) Upgrade (ITS2)
 - ALPIDE芯片
 - Towerjazz 180nm CMOS工艺
 - 像素尺寸 $29\ \mu\text{m} \times 27\ \mu\text{m}$
 - 像素阵列 512×1024
 - 空间分辨率 $<5\ \mu\text{m}$
 - 功耗 $<35\text{mW}/\text{cm}^2$
 - 于2018~2019升级



ALICE ITS2

硅像素传感器读出技术

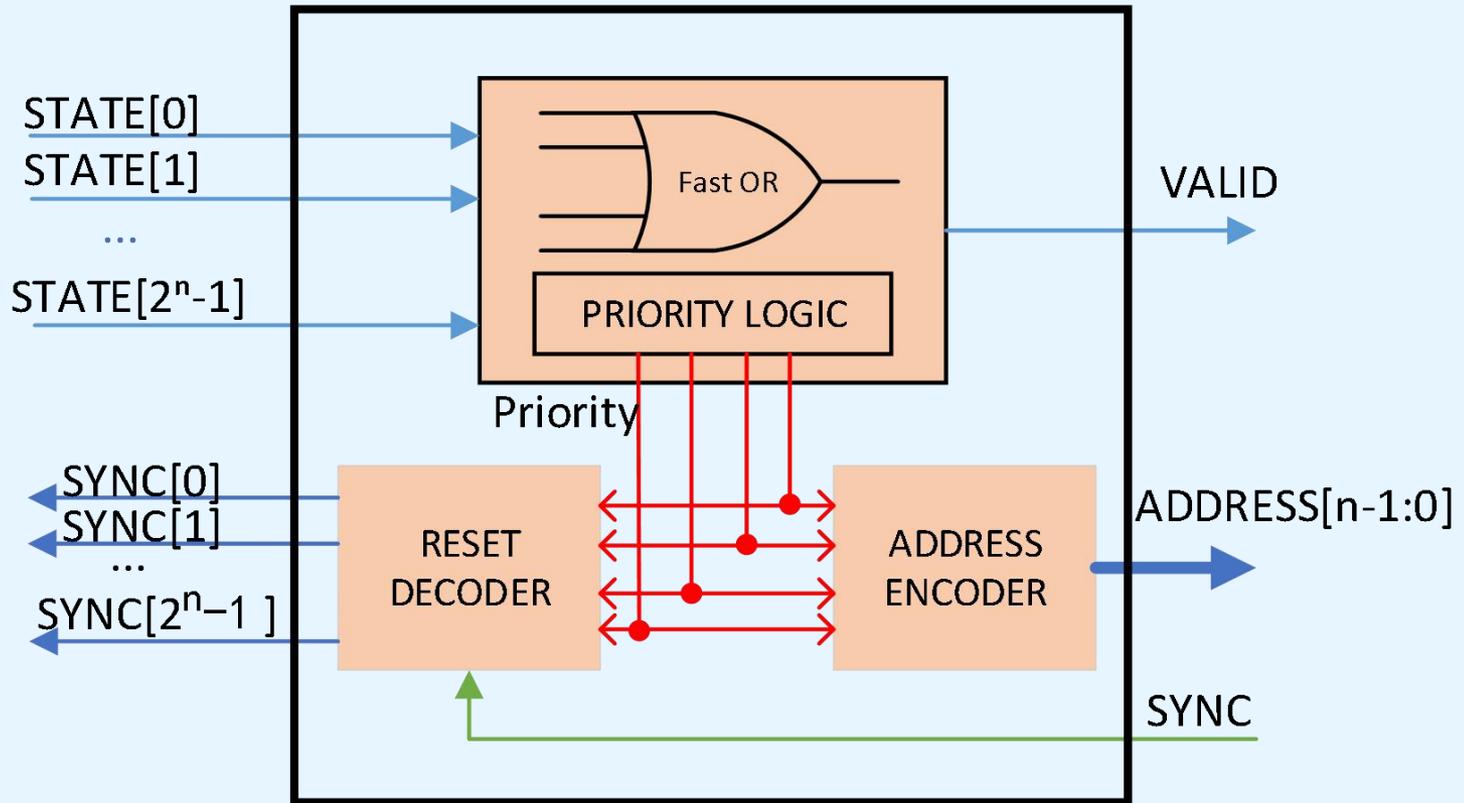
- Global shutter（电荷耦合元件CCD）
 - 适用于高刷新率事件
 - 数据读出较慢
 - Rolling shutter（ULTIMATE等）
 - 像素探测器与CMOS图像传感器
 - 低功耗、低噪声
 - Token（ATLAS:FE-I3、FE-I4等）
 - 零数据压缩
 - AERD（ALICE:ALPIDE等）
 - 树状仲裁
 - 零数据压缩
- data-driven
- 

AERD

HIERARCHY N-1

HIERARCHY N

HIERARCHY N+1



AERD基本单元结构

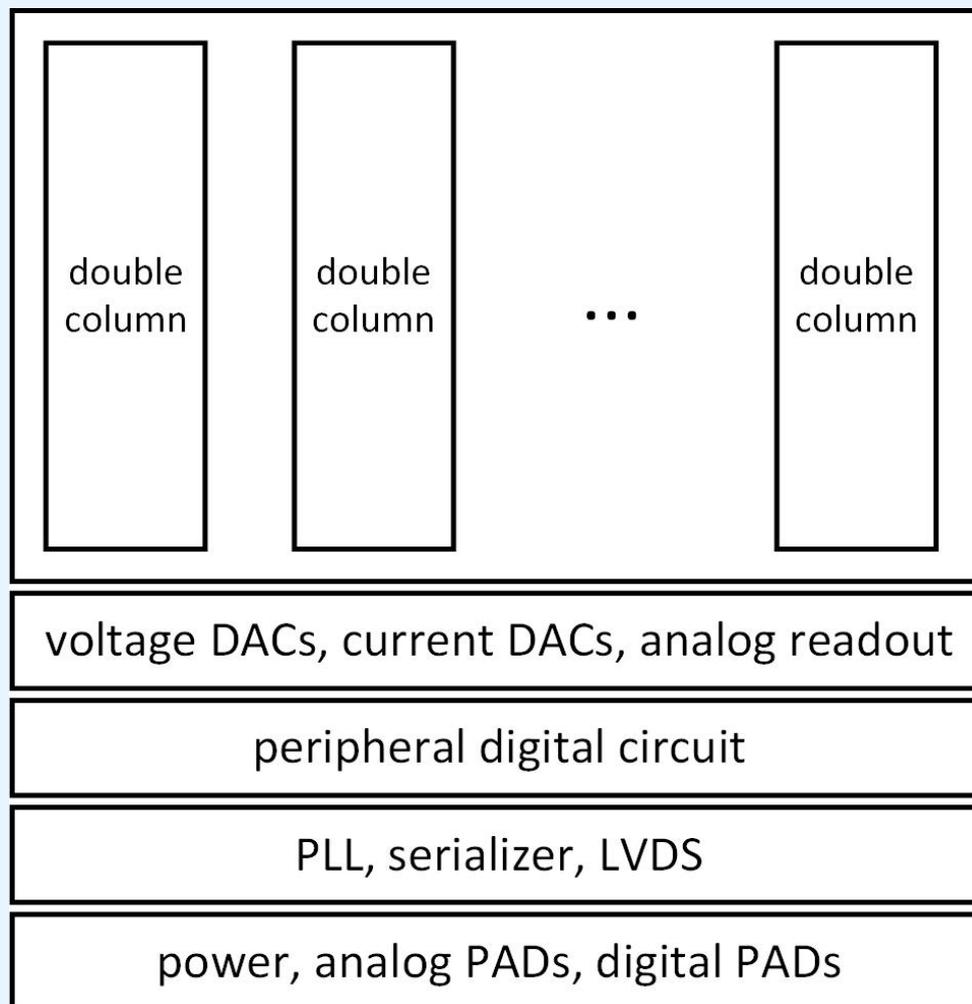
02

研究内容和成果

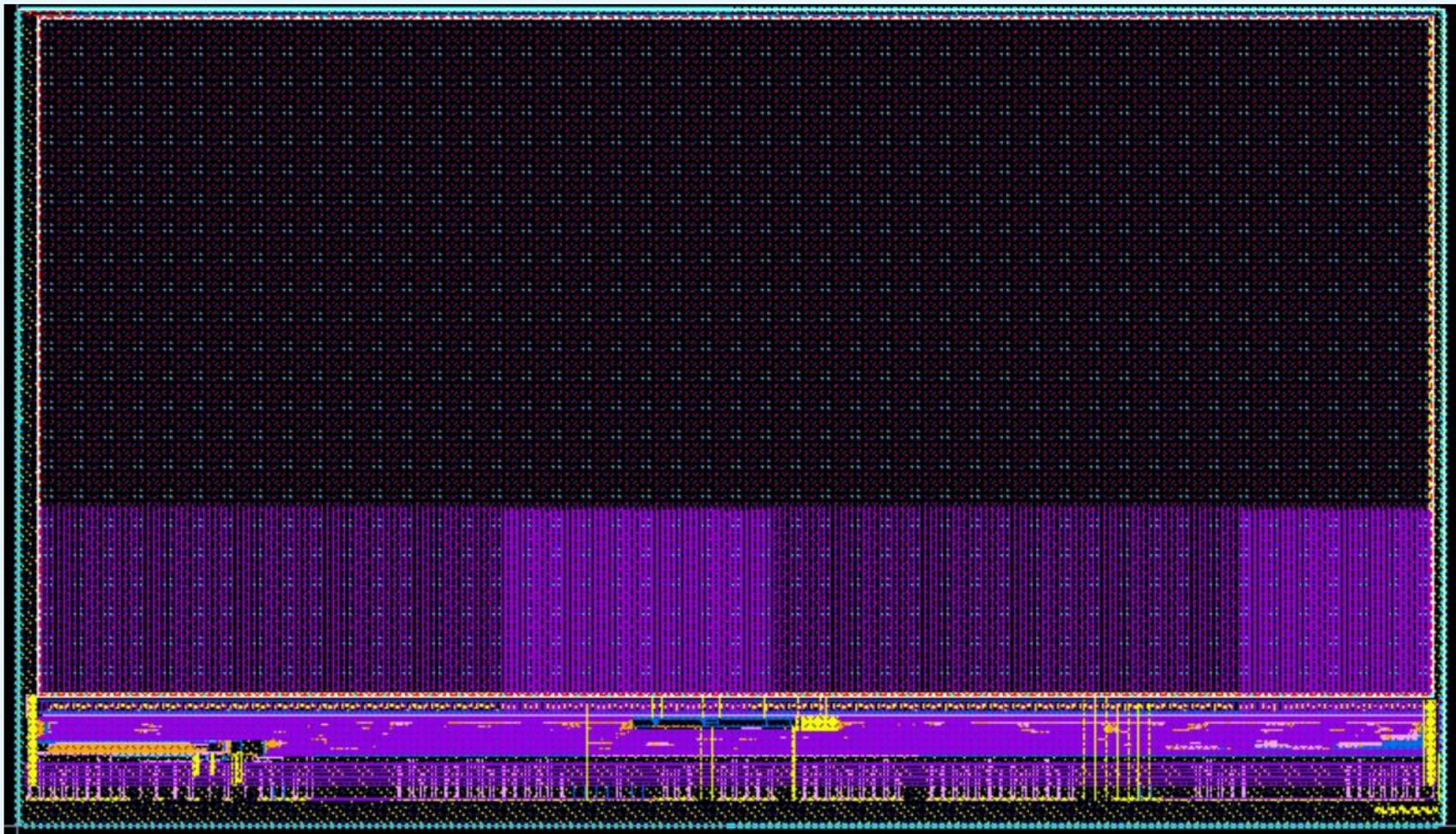
MIC5简介

- MIC5: MAPS In CCNU 5
- 芯片尺寸: 1.48 cm × 0.86 cm
- 像素阵列 (Matrix) : 356 rows × 498 columns
- 像素尺寸: 20 μm × 30 μm
- DACs, serializer, LVDS
- Peripheral digital circuit (主要工作内容)
 - Mode control (SPI Interface)
 - Data readout
 - data formatting and transmission, 8b10b

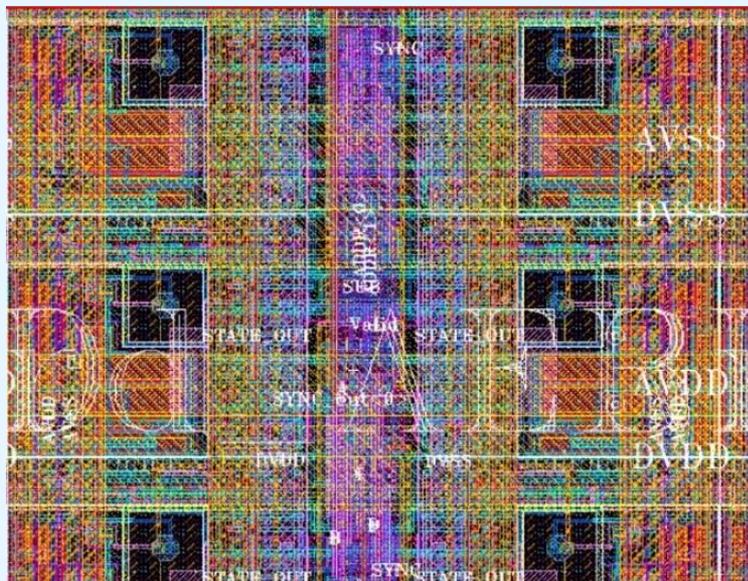
MIC5基本结构



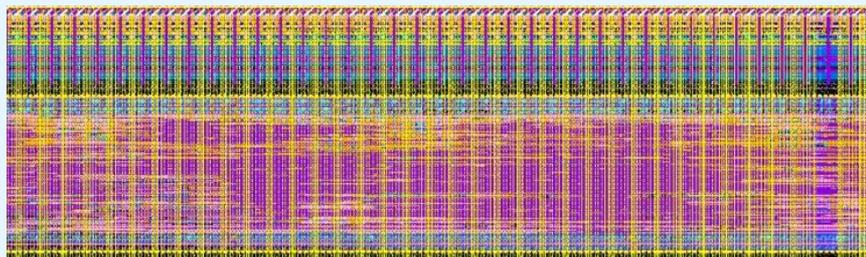
MIC5版图



局部版图



约6个像素

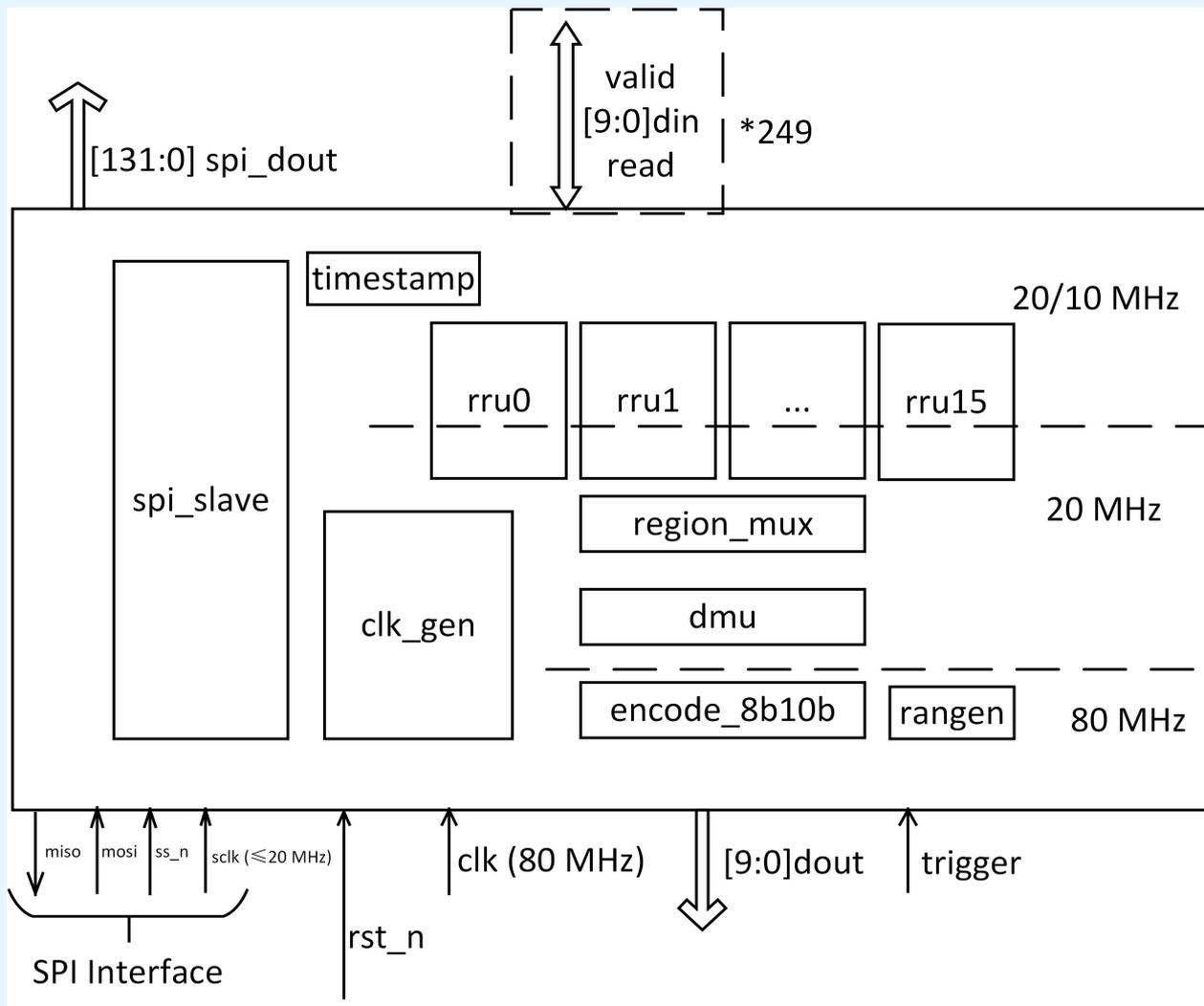


像素阵列和外围电路交界处

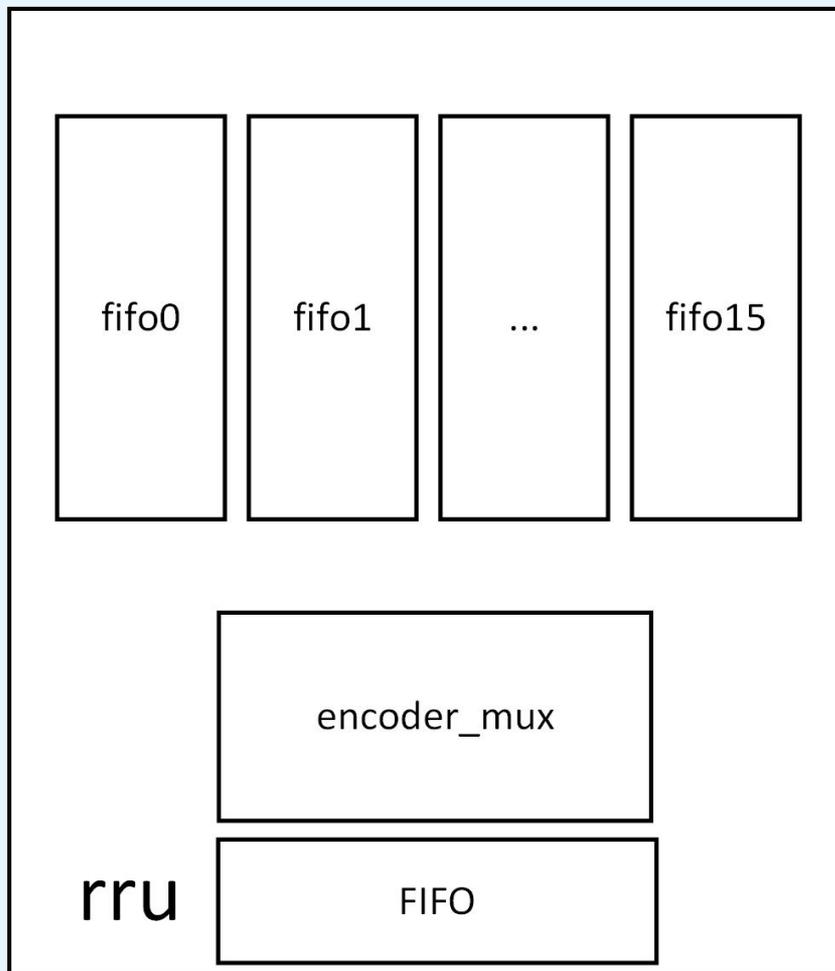
MIC5指标

- 空间分辨率
 - 横向：优于 $8.66\ \mu\text{m}$
 - 纵向：优于 $5.77\ \mu\text{m}$
- 读出速度
 - 800 Mbps (20 hit/ μs)
- 抗辐射性能
 - 工艺
- 功耗
 - 像素阵列：静态功耗 $\sim 21\ \text{nA/pixel}$
 - 外围电路： $\sim 80\ \text{mW}$ (tt工艺角)

外围数字电路结构



RRU的两级FIFO缓存结构



数据帧结构

data: 28b

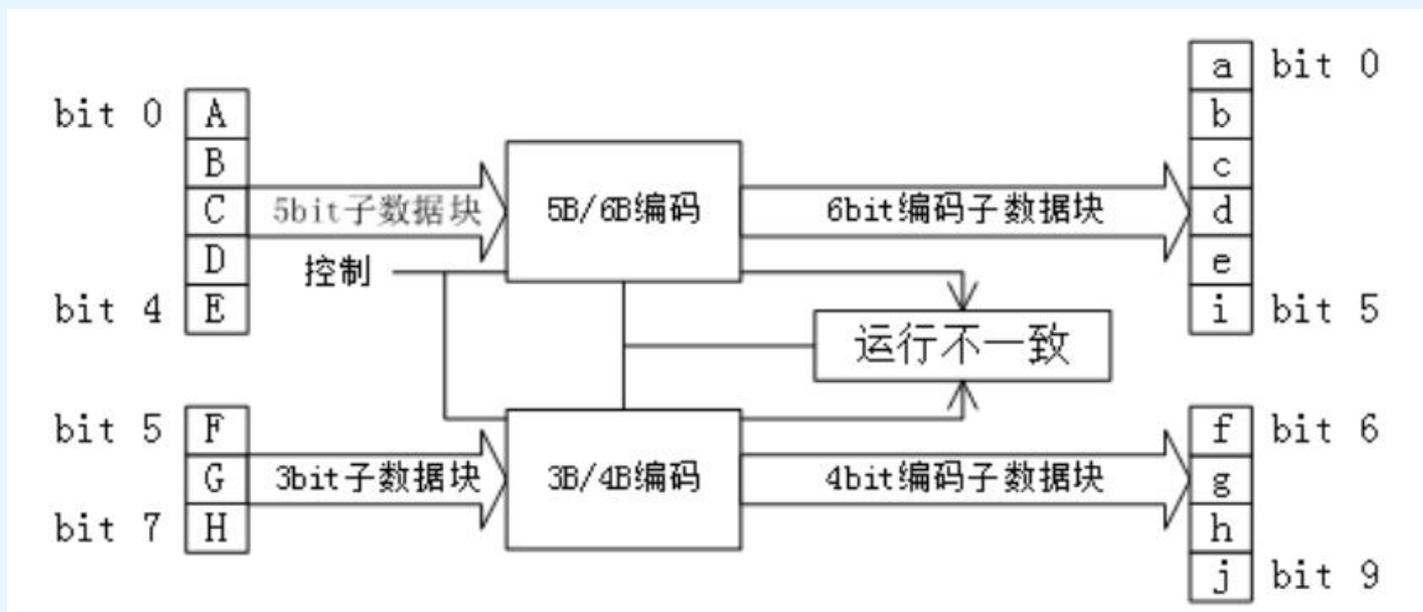
| | | | | | |
|-------|---------|-----------|---------|----------------|---------------|
| 0 | trigger | timestamp | address | encoder number | region number |
| 1 bit | 1 bit | 8 bit | 10 bit | 4 bit | 4 bit |

frame: 96b

| | | | | | |
|-------|--------|--------|--------|-------|-------|
| K28.5 | data2 | data1 | data0 | 0 | flag |
| 8 bit | 28 bit | 28 bit | 28 bit | 1 bit | 3 bit |

8b10b编码

- 目的：使码元中0和1个数一致（“直流均衡”）
- 5b/6b编码， 3b/4b编码
- 运行不一致（Running Disparity, RD）

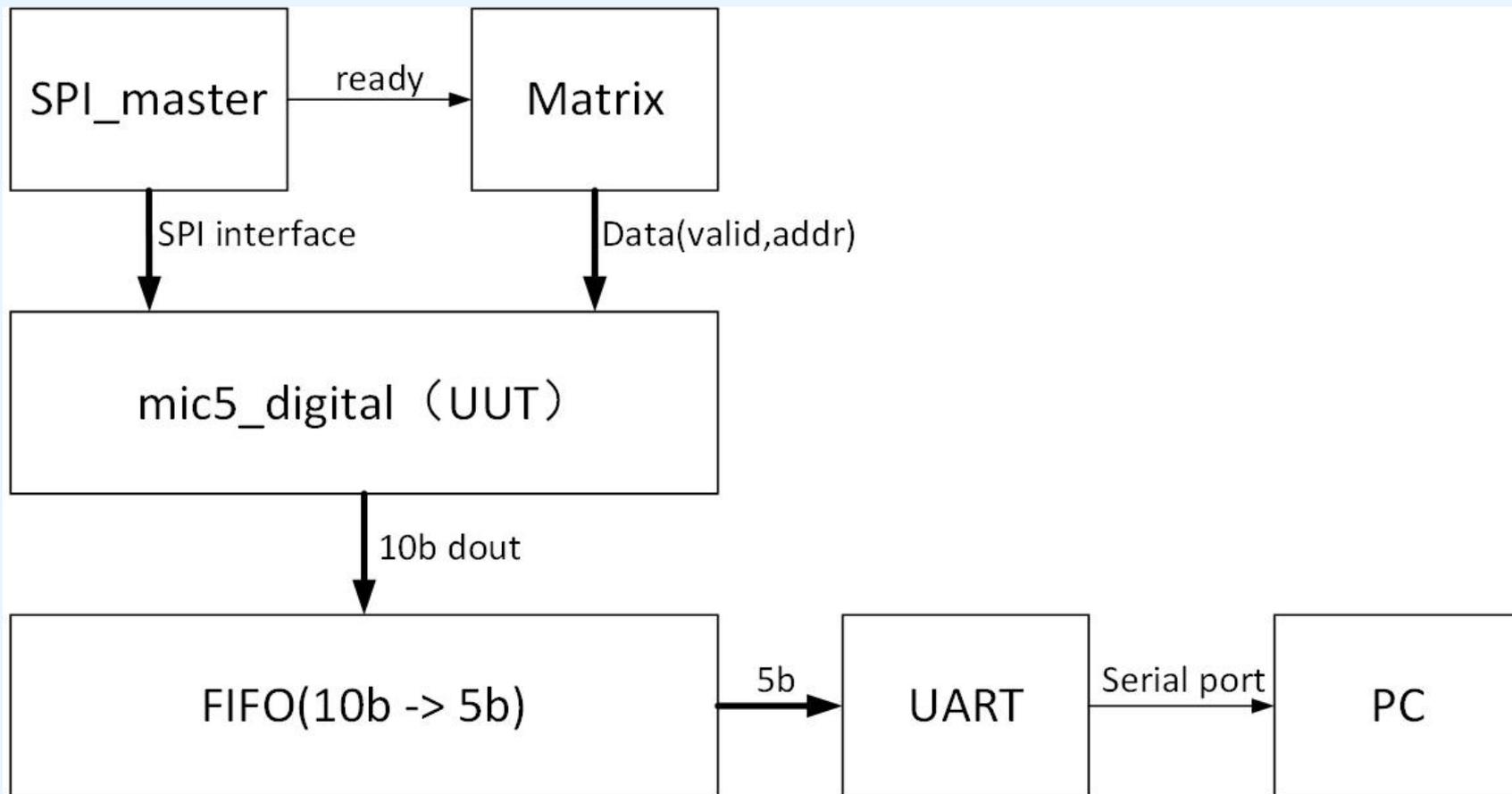


外围数字电路版图

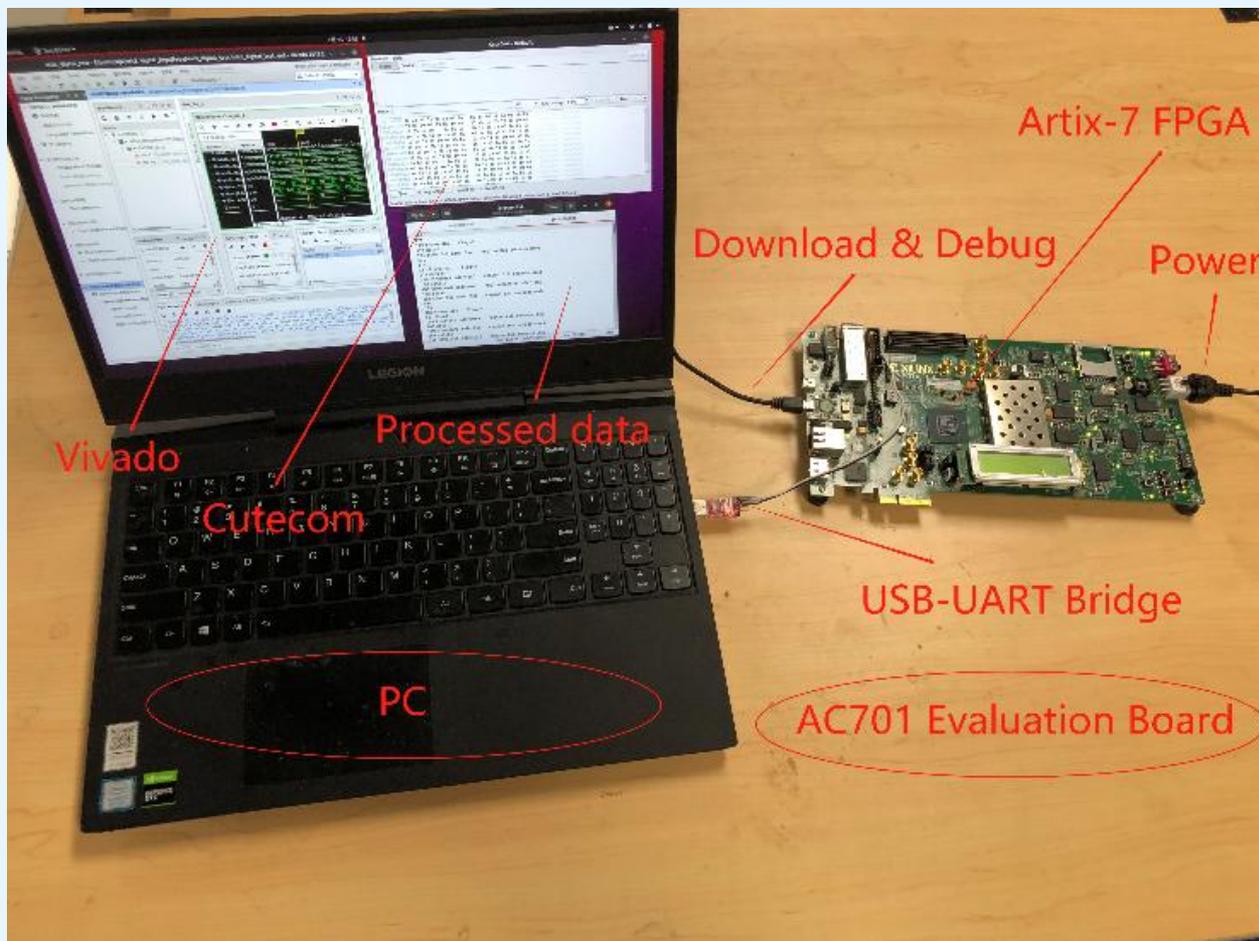


14440 μm \times 400 μm

基于FPGA的硬件测试系统



测试现场



数据分析

```
process.txt
~/mic5_digital_fpga/s...
Save

165
166 frame:  empty!
167
168
169 frame:  empty!
170
171
172 frame 48:  flag=7
173 data2:
174 time:0x8  addr:0x0  region:0x0  encoder:0x0
175 data1:
176 time:0x8  addr:0x1  region:0x0  encoder:0x1
177 data0:
178 time:0x8  addr:0x2  region:0x0  encoder:0x2
179
180
181 frame 49:  flag=7
182 data2:
183 time:0x8  addr:0x3  region:0x0  encoder:0x3
184 data1:
185 time:0x8  addr:0x4  region:0x0  encoder:0x4
186 data0:
187 time:0x8  addr:0x5  region:0x0  encoder:0x5
188
189
190 frame 50:  flag=7
191 data2:
192 time:0x8  addr:0x6  region:0x0  encoder:0x6
193 data1:
194 time:0x9  addr:0x7  region:0x0  encoder:0x7
195 data0:
196 time:0x9  addr:0x8  region:0x0  encoder:0x8
197
198
199 frame 51:  flag=7
200 data2:
201 time:0x9  addr:0x9  region:0x0  encoder:0x9
202 data1:
203 time:0x9  addr:0xa  region:0x0  encoder:0xa
204 data0:
205 time:0x9  addr:0xb  region:0x0  encoder:0xb
206
207
208 frame 52:  flag=7
209 data2:
210 time:0x9  addr:0xc  region:0x0  encoder:0xc
211 data1:
212 time:0x9  addr:0xd  region:0x0  encoder:0xd

Plain Text  Tab Width: 4  Ln 18, Col 6  INS
```


研究成果

- “Design of the peripheral digital circuit of the MIC5 monolithic active pixel sensor prototype for the CEPC vertex detector” (在投)

03

总结和展望

总结

对于新一代高亮度、高能量的加速器实验，探测器及其电子学都需要有新的技术突破，作为探测器MAPS芯片的一个关键部分，外围数字电路影响着整个探测器的性能，外围数字读出架构的设计也是我国发展高能物理必须攻克的一个技术难关。

本文以正在规划中的CEPC项目为背景，针对CEPC顶点探测器及其外围数字电路的指标和需求，设计出了MIC5芯片的外围数字电路，实现了MIC5芯片的模式控制及数字读出的功能，并设计了全新的数据帧结构，探讨了两级FIFO缓存架构在实际像素击中率下的可行性和可靠性，并做了相关的仿真和FPGA测试等工作，验证了外围数字电路设计的正确性和可操作性。

展望

- MIC5外围数字电路的FPGA测试为将来的芯片测试做好了铺垫工作，芯片测试正在筹备中。
- 可考虑设计更优的数据帧结构或改变读出结构来增加数据读出率，以胜任更高事例率的工作。
- 该研究对新一代像素探测器的读出具有参考价值，在高速摄像机、数字图像处理等领域也有着一定应用前景。

谢谢!



中国科学技术大学
University of Science and Technology of China